

УДК 621.315;004.3:004.9

Самосинхронные схемы как база создания высоконадежных высокопроизводительных компьютеров следующего поколения

© 2020 г. А. А. Зацаринный¹, Ю. А. Степченков^{1,§}, Ю. Г. Дьяченко¹,
Ю. В. Рождественский¹

¹ *Федеральный исследовательский центр «Информатика и управление»
Российской академии наук,
ул. Вавилова, д. 44, корп. 2, Москва, 119333, Россия*

Аннотация. В работе предлагаются конструктивные и схемотехнические решения для реализации высокопроизводительных компьютеров следующего поколения. Они основаны на методологии проектирования самосинхронных схем и обеспечивают повышение устойчивости вычислительных систем к логическим сбоям, являющимся следствием наведенных помех и радиационного воздействия.

Ключевые слова: самосинхронная схема, индикация, сбоеустойчивость, КМОП, многопороговый транзистор

Введение

В последние годы увеличение производительности цифровых вычислительных устройств наталкивается на необходимость преодоления проблем, возникающих в синхронной схемотехнике. Основным трендом современной микроэлектроники являются постоянная борьба за снижение энергопотребления и соблюдение жестких требований к надежности и помехозащищенности схем. В настоящее время существует достаточно хорошо проработанная альтернатива синхронным схемам — самосинхронные (СС) схемы [1—3]. Они являются многообещающей заменой синхронных схем в качестве схемотехнической базы для создания компьютеров нового поколения,

обеспечивая бесперебойную работу в нестабильных условиях эксплуатации вычислительных систем (напряжения питания, температуры) и повышенную устойчивость к воздействию неблагоприятных факторов окружающей среды.

СС-схемы лишены основных недостатков синхронных схем, например, избыточного потребления вследствие наличия глобальных цепей синхронизации. В сравнении с синхронными аналогами СС-схемы обладают следующими основными преимуществами:

- стабильная работа в изменяющихся условиях эксплуатации;
- предотвращение генерации некорректных данных при появлении константной неисправности, при которой выход элемента «залипает» в одном состоянии.

СС-схемы естественно устойчивы к параметрическим отказам, вызываемым процессами старения и неблагоприятными воздействиями окружающей среды. Они автоматически прекращают функционирование при статическом отказе элемента и локализируют неисправность. Благодаря своей дисциплине работы, они обнаруживают все константные неисправности и характеризуются более высокой по сравнению с синхронными аналогами устойчивостью к помехам и кратковременным логическим сбоям.

В данной работе обсуждаются конструктивные и схемотехнические методы повышения надежности СС-схем и вычислительных систем на их основе и даются рекомендации по их реализации.

Зацаринный Александр Алексеевич¹ — доктор техн. наук, главный научный сотрудник, заместитель директора, <https://orcid.org/0000-0002-8872-2774>, e-mail: azatsarinny@frccsc.ru; **Степченков Юрий Афанасьевич**^{1,§} — канд. техн. наук, заведующий отделом, <https://orcid.org/0000-0003-4784-7519>, e-mail: YStepchenkov@ipiran.ru; **Дьяченко Юрий Георгиевич**¹ — канд. техн. наук, старший научный сотрудник, <https://orcid.org/0000-0003-0212-4931>, e-mail: diaura@mail.ru; **Рождественский Юрий Владимирович**¹ — канд. техн. наук, ведущий научный сотрудник, e-mail: YRogdest@ipiran.ru

§ Автор для переписки

Статья подготовлена по материалам доклада, представленного на II-й международной конференции «Математическое моделирование в материаловедении электронных компонентов», Москва, 19—21 октября 2020 г. (Зацаринный А.А., Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.В. Самосинхронные схемы как база создания высоконадежных высокопроизводительных компьютеров следующего поколения. М.: МАКС Пресс, 2020. С. 114—116. DOI: 10.29003/m1535.MMMSEC-2020/114-116)

Повышение сбоеустойчивости СС-схем

Проектирование действительно СС-схем основано на четыре основных принципах [1]: избыточном кодировании информационных бит; двухфазном поведении; индикации окончания переключения схемы в очередное состояние; запрос-ответном взаимодействии соседних в тракте обработки информации СС-устройств. Избыточное кодирование позволяет относительно простыми средствами различить соседние состояния СС-схемы в процессе ее работы. Наиболее популярными способами избыточного кодирования информационных бит являются парафазное со спейсером, бифазное с сигналом управления и унарное с сигналом управления кодирование [2].

Использование парафазного кода для представления информационных сигналов [4] упрощает индикацию окончания переходных процессов в элементах СС-схемы и повышает надежность передачи информации между блоками вычислительной системы. Традиционно парафазный информационный сигнал имеет два рабочих состояния («01», «10») и одно спейсерное состояние («00» — нулевой спейсер или «11» — единичный спейсер). Они представляют значение парафазного сигнала в любой момент времени. Четвертое состояние двухбитового представления парафазного сигнала (соответственно, «11» или «00») считается запрещенным. В отсутствие логических сбоев оно в СС-схеме никогда не реализуется.

Однако в реальных условиях эксплуатации СС-схемы подвержены воздействию электромагнитных помех и радиации, которые могут привести к локальному изменению потенциала какой-либо цепи схемы. Современные цифровые сверхбольшие интегральные схемы (**СБИС**) изготавливаются по технологии комплементарный металл-оксид-полупроводник (**КМОП**). Их работа основана на коммутации питания и «земли» на выход логиче-

ского элемента КМОП-транзисторами, управляемых затворными потенциалами. Поэтому изменение потенциала на затворе из-за внешнего воздействия может привести к сбойному переключению транзистора и изменению состояния парафазного сигнала, формируемого двумя логическими элементами.

Анализ поведения самосинхронных схем в условиях воздействия неблагоприятных факторов окружающей среды, приводящих к появлению кратковременных логических сбоев, показывает, что СС-схемы обладают естественной устойчивостью к кратковременным логическим сбоям. Они маскируют более 80 % логических сбоев за счет своих принципов организации и функционирования: двухфазной дисциплины и избыточного кодирования информационных сигналов.

Традиционная индикация СС-схем, определяющая окончание переключения схемы в очередную фазу работы, основана на использовании элемента ИЛИ-НЕ (для нулевого спейсера) или И-НЕ (для единичного спейсера). Поэтому состояние, противоположное спейсеру (анти-спейсер), воспринимается как рабочее, что приводит к распространению логической ошибки по схеме. Однако индикация запрещенного состояния парафазного сигнала, появляющегося в результате логического сбоя, как спейсера [5], маскирует данный логический сбой, предотвращая генерацию некорректного результата на выходе СС-схемы. Для реализации такого свойства достаточно в качестве элемента первого каскада индикаторной подсхемы СС-схемы использовать элемент «равнозначность» или «неравнозначность» [6].

Индикация анти-спейсера как спейсера и модификация С-элемента, основного элемента индикаторной подсхемы СС-схем, с целью предотвращения «залипания» его в состоянии анти-спейсера в составе регистра ступени СС-конвейера [6], как показано на рис. 1, обеспечивают повышение устойчивости СС-схем к кратковременным логическим сбоям на 11,5 %.

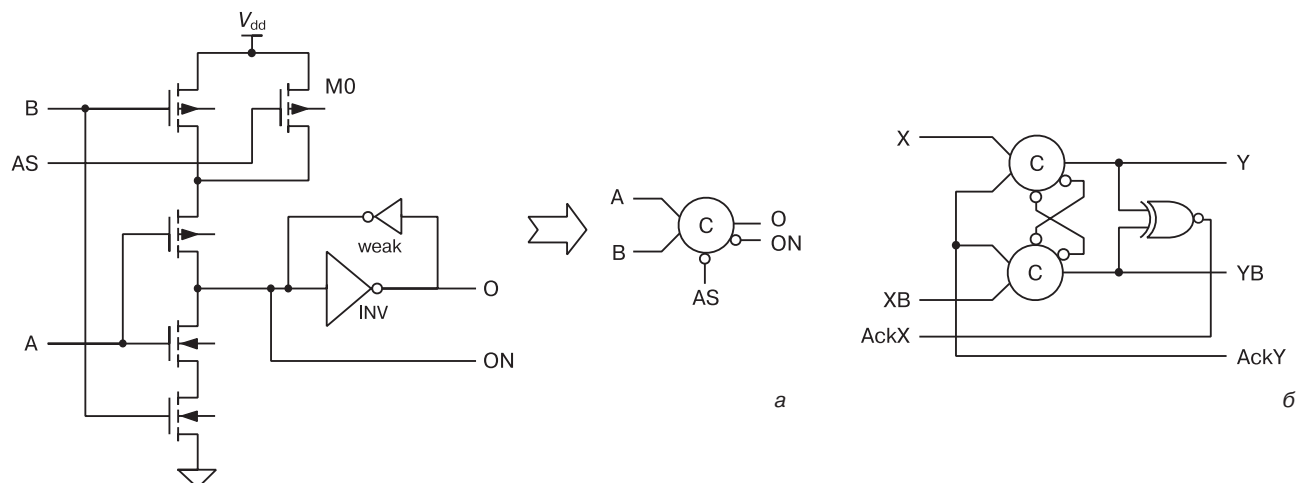


Рис. 1. С-элемент, маскирующий состояние анти-спейсера (а) и разряд регистра СС-конвейера на его основе (б)
Fig. 1. C-element that masks the state of the anti-spacer (a) and the bit of the register of the ST-case based on it (b)

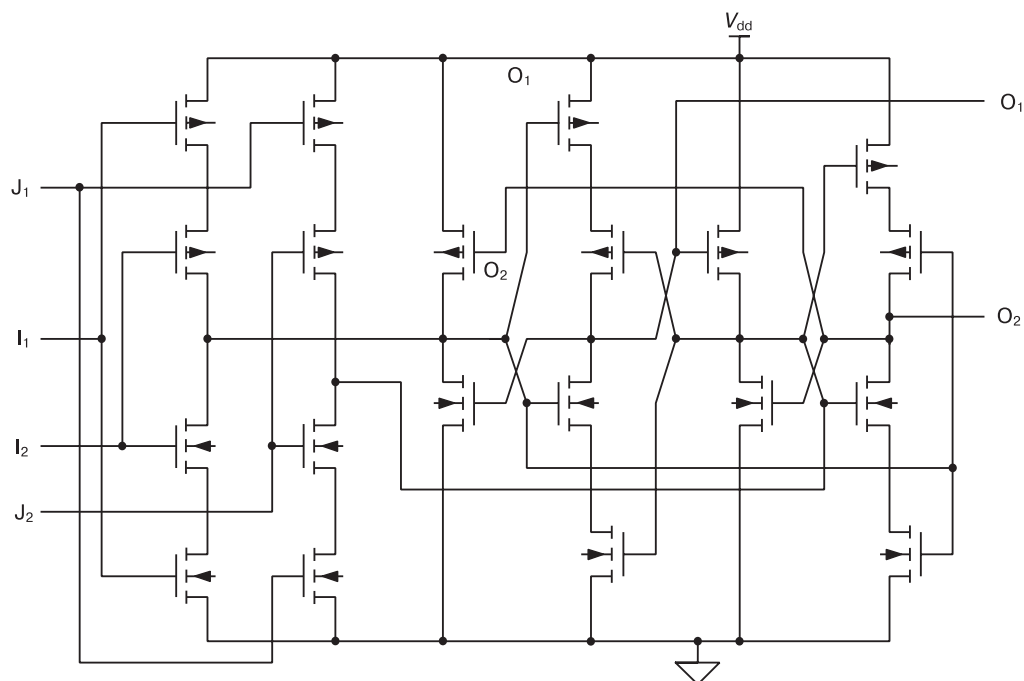


Рис. 2. Сбоеустойчивый С-элемент

Fig. 2. Fault-tolerant C-element

Логические сбои, возникающие по тем же причинам в индикаторной подсхеме СС-схемы, парируются за счет использования *Dual Interlocked Cell* (DICE) подхода [7]. Схема С-элемента DICE-

Функционирование многопороговых инверторов

[Operation of multi-threshold inverters]

Схема рис. 3, а		Схема рис. 3, б		Схема рис. 3, в	
X	Y	X	Y	X	Y
V_{dd}	V_{ss}	V_{dd}	V_{ss}	V_{dd}	V_{ss}
V_{cc}	G_{nd}	G_{nd}	G_{nd}	G_{nd}	G_{nd}
G_{nd}	V_{cc}	V_{ss}	V_{dd}	V_{ss}	V_{dd}
V_{ss}	V_{dd}	—	—	—	—

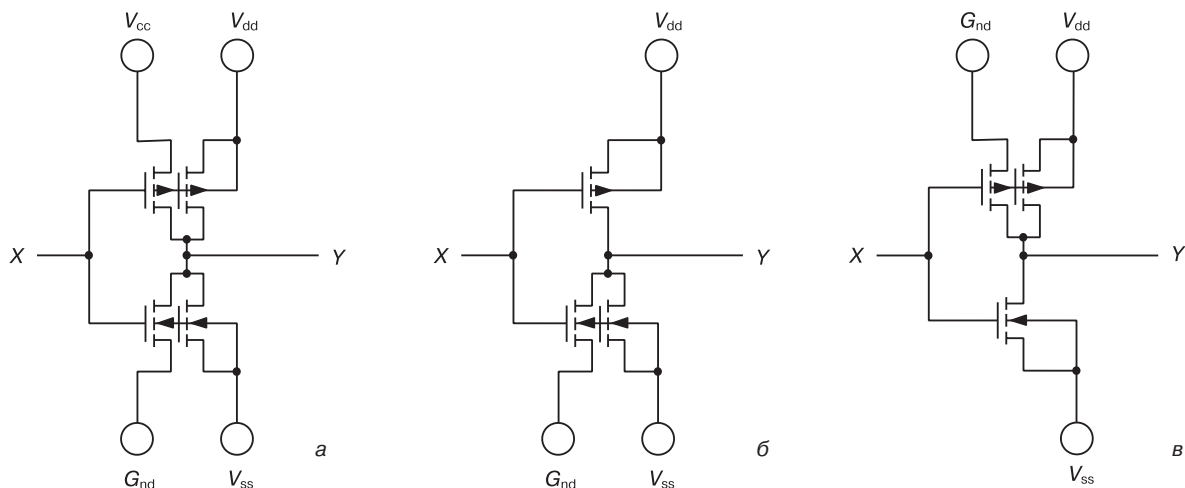


Рис. 3. Варианты инвертора на многопороговых КМОП-транзисторах

Fig. 3. Variants of the inverter on multithreshold CMOS transistors

типа показана на рис. 2. Она маскирует одиночные логические сбои во внутренних узлах С-элемента и предотвращает распространение логических сбоев, возникших на его выходах.

Предложенные конструктивные и схемотехнические методы проектирования критических узлов СС-схем повышают устойчивость комбинационных СС-схем к кратковременным логическим сбоям до уровня 96 %, а СС-конвейера — до уровня 98,5 %.

Уменьшение сложности СС-схем

Основной недостаток самосинхронных схем — аппаратная избыточность, связанная с избыточным кодированием информационных сигналов и необходимостью подтверждения завершения процессов пе-

реключения всех элементов схемы. Действительно, парафазное кодирование информационных сигналов и наличие индикаторной подсхемы в 2,5—3 раза увеличивает сложность комбинационной СС-схемы в сравнении с синхронным аналогом. Однако исследования показывают возможность сокращения аппаратных затрат на реализацию СС-схем за счет использования нового схемотехнического компонента — многопорогового транзистора. Его применение позволило бы упростить схемотехническую и топологическую реализации СС-схем и за счет этого дополнительно увеличить их помехо- и сбоеустойчивость.

Схемы вариантов инвертора на многопороговых КМОП-транзисторах показаны на рис. 3. Они коммутируют на выход разные высокие (V_{cc} , V_{dd}) и низкие (G_{nd} , V_{ss}) уровни под управлением соответствующего уровня входного сигнала X в соответствии с таблицей.

Однако, использование многопороговых МОП-транзисторов сопряжено с изменением стандартного технологического маршрута изготовления КМОП СБИС и с уменьшением помехоустойчивости схемы, поскольку она обладает повышенной чувствительностью к потенциалу на затворе многопорогового транзистора. Поэтому необходимы дополнительные исследования для проверки целесообразности применения многопороговых транзисторов в цифровой схемотехнике вообще и в СС-схемах в частности.

Заключение

СС-схемы являются перспективным схемотехническим базисом для создания высокопроизводительных и высоконадежных компьютеров следующего поколения благодаря своим уникальным свойствам.

В работе предложены новые подходы к повышению надежности СС-схем в базисе КМОП технологии, включающие схемотехнические, конструктив-

ные и топологические способы. В совокупности они позволяют повысить устойчивость комбинационных СС-схем к кратковременным логическим сбоям до уровня 96 %, а СС-конвейера — до уровня 98,5 %.

Разработка многопороговых МОП транзисторов и схемотехники основных элементов СС-схем на их основе позволит, по предварительным оценкам, сократить сложность СС-устройств и площадь их топологической реализации, тем самым снижая их энергопотребление и повышая сбоеустойчивость. Но этот вопрос требует дальнейших исследований.

Библиографический список

1. Степченко Ю. А., Дьяченко Ю. Г., Горелкин Г. А. Самосинхронные схемы — будущее микроэлектроники // Вопросы радиоэлектроники. 2011. Т. 4, № 2. С. 153—184.
2. Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Филимоненко О. П., Морозов Н. В., Степченко Д. Ю., Плеханов Л. П. Библиотека функциональных ячеек для проектирования самосинхронных полужадающих БМК микросхем серий 5503/5507. М.: Техносфера, 2017. 367 с. URL: <http://www.technosfera.ru/lib/book/497>
3. Tailor R. A., Reese R. B. Uncle—Unified NCL Environment—an NCL design tool. Ch. 14 // In: Di J., Smith S. C. (Eds) Asynchronous Circuit Applications. 2019. P. 293—307. DOI: 10.1049/PBCS061E_ch14
4. Пат. № 2718220 (РФ). Формирователь парафазного сигнала с единичным спейсером / А. А. Зацаринный, С. В. Козлов, Ю. А. Степченко, Ю. Г. Дьяченко, 2020. Бюл. № 10. URL: https://yandex.ru/patents/doc/RU2718220C1_20200331
5. Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors // Advances in Science, Technology and Engineering Systems Journal. 2020. V. 5, N 2. P. 44—56. DOI: 10.25046/aj050206
6. Stepchenkov Y., Rogdestvenski Y., Kamenskih A., Diachenko Y., Diachenko D. Improvement of the quasi delay-insensitive pipeline noise immunity // Proc. 11th International Conference on Dependable Systems, Services and Technologies (DESSERT), Kyiv, Ukraine, 14–18 May, 2020. IEEE, 2020. P. 47—51. DOI: 10.1109/DESSERT50317.2020.9125021
7. Sokolov I., Stepchenkov Yu., Diachenko Yu., Rogdestvenski Yu., Diachenko D. Increasing self-timed circuit soft error tolerance // Proc. EastWest Design & Test Symposium (EWDTS), Varna, Bulgaria, September 4–7, 2020. Varna, 2020. P. 450—454. DOI: 10.1109/EWDTS50664.2020.9224705

Работа выполнена при поддержке Министерства науки и высшего образования Российской Федерации, проект № 075–15–2020–799.

Статья поступила в редакцию 12 ноября 2020 г.

Izvestiya vuzov. Materialy elektronnoi tekhniki = Materials of Electronics Engineering. 2020, vol. 23, no. 4, pp. 277—281.
DOI: 10.17073/1609-3577-2020-4-277-281

Self-timed circuits as a basis for developing next generation high-reliable high-performance computers

A. A. Zatsarinnyy¹, Yu. A. Stepchenkov^{1,§}, Yu. G. Diachenko¹, Yu. V. Rogdestvenski¹

¹ *Federal Research Center “Computer Science and Control”
of the Russian Academy of Sciences,
44–2 Vavilov Str., Moscow 119333, Russia*

Abstract. The paper proposes design and circuitry solutions for the implementation of high-performance next generation computers. They are based on self-timed circuit design methodology and provide an increase in the tolerance of computing systems to soft errors resulting from induced noises and radiation exposure.

Keywords: self-timed circuit, indication, fault tolerance, CMOS, multi-threshold transistor

References

1. Stepchenkov Y. A., D'yachenko Y. G., Gorelkin G. A. Self-synchronous circuits are the future of microelectronics. *Voprosy radioelektroniki = Questions of Radio Electronics*. 2011, vol. 4, no. 2, pp. 153—184.
2. Stepchenkov Yu. A., Denisov A. N., Dyachenko Yu. G., Grinfeld F. I., Filimonenko O. P., Morozov N. V., Stepchenkov D. Yu., Plekhanov L. P. *Library functional cells for the design of self-synchronous semi-custom BMK microcircuits of the 5503/5507 series*. Moscow: Technosfera, 2017. 367 p. (In Russ.). URL: <http://www.technosfera.ru/lib/book/497>
3. Tailor R. A., Reese R. B. Uncle—Unified NCL Environment—an NCL design tool. Ch. 14. In: Di J., Smith S. C. (Eds) *Asynchronous Circuit Applications*. 2019. Pp. 293—307. DOI: 10.1049/PBCS061E_ch14

Information about authors:

Alexander A. Zatsarinnyy¹ — Dr. Sci. (Eng.), Chief Researcher, Deputy Director, <https://orcid.org/0000-0002-8872-2774>, e-mail: AZatsarinny@ipiran.ru; **Yury A. Stepchenkov**^{1,§} — Cand. Sci. (Eng.), Department Head, <https://orcid.org/0000-0003-4784-7519>, e-mail: YStepchenkov@ipiran.ru; **Yury G. Diachenko**¹ — Cand. Sci. (Eng.), Senior Researcher, <https://orcid.org/0000-0003-0212-4931>, e-mail: diaura@mail.ru; **Yury V. Rogdestvenski**¹ — Cand. Sci. (Eng.), Leading Researcher, e-mail: YRogdest@ipiran.ru

§ Corresponding author

4. Pat. No. 2718220 (RF). *Formirovatel' parafaznogo signala s yedinichnym speyserom* [Paraphase signal former with a single spacer]. A. A. Zatsarinnyy, S. V. Kozlov, Yu. A. Stepchenkov, Yu. G. Dyachenko, 2020. Bul. No. 10. (In Russ.). URL: https://yandex.ru/patents/doc/RU2718220C1_20200331

5. Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances in Science, Technology and Engineering Systems Journal*. 2020, vol. 5, no. 2, pp. 44—56. DOI: 10.25046/aj050206

6. Stepchenkov Y., Rogdestvenski Y., Kamenskih A., Diachenko Y., Diachenko D. Improvement of the quasi delay-insensitive pipeline noise immunity. *Proc. 11th International Conference on Dependable Systems, Services and Technologies (DESSERT). Kyiv, Ukraine, 14–18 May, 2020*. IEEE, 2020. Pp. 47—51. DOI: 10.1109/DESSERT50317.2020.9125021

7. Sokolov I., Stepchenkov Yu., Diachenko Yu., Rogdestvenski Yu., Diachenko D. Increasing self-timed circuit soft error tolerance. *Proc. EastWest Design & Test Symposium (EWDTS). Varna, Bulgaria, September 4–7, 2020*. Varna, 2020. Pp. 450—454. DOI: 10.1109/EWDTS50664.2020.9224705

Acknowledgments

The work was supported by the Ministry of Science and Higher Education of the Russian Federation, project No. 075–15–2020–799.

Received November 12, 2020