

УДК 621.315:539.23

Оценка влияния параметров структуры FinFET на электрические характеристики средствами TCAD–моделирования

© 2021 г. К. О. Петросянц^{1,2,✉}, Д. С. Силкин¹, Д. А. Попов¹

¹ *Московский институт электроники и математики им. А.Н. Тихонова Национального исследовательского университета «Высшая школа экономики», ул. Таллинская, д. 34, Москва, 123458, Россия*

² *Институт проблем проектирования в микроэлектронике Российской академии наук, ул. Советская, д. 3, Зеленоград, Москва, 124365, Россия*

✉ Автор для переписки: kpetrosyants@hse.ru

Аннотация. С помощью TCAD–моделирования исследовано влияние изменения параметров структуры FinFET, таких как размеры слоев затворного стека, форма ребра или уровни легирования, на электрические характеристики прибора.

Ключевые слова: TCAD–моделирование, FinFET, параметры структуры

Благодарности: Работа выполнена при финансовой поддержке совместного гранта РФФИ и Фонда научных исследований Китая (грант № 20–57–53004).

Для цитирования: Петросянц К.О., Силкин Д.С., Попов Д.А. Оценка влияния параметров структуры FinFET на электрические характеристики средствами TCAD–моделирования. *Известия вузов. Материалы электрон. техники.* 2021; 24(4): 222–228. <https://doi.org/10.17073/1609-3577-2021-4-222-228>

Evaluation of the effect of FinFET structure parameters on electrical characteristics using TCAD modeling tools

K. O. Petrosyants^{1,2,✉}, D. S. Silkin¹, D. A. Popov¹

¹ *HSE Tikhonov Moscow Institute of Electronics and Mathematics, 34 Tallinskaya Str., Moscow 123458, Russia*

² *Institute for Design Problems in Microelectronics of the Russian Academy of Sciences, 3 Sovetskaya Str., Zelenograd, Moscow 124365, Russia*

✉ Corresponding author: kpetrosyants@hse.ru

Abstract. Using TCAD modeling, the effect of changing FinFET structure parameters, such as gate stack layer sizes, rib shape, or doping levels, on the electrical characteristics of the device is investigated.

Keywords: TCAD modeling, FinFET, structure parameters

Acknowledgments: This work was supported by a joint grant from the Russian Foundation for Basic Research and the China Scientific Research Foundation (grant No. 20–57–53004).

For citation: Petrosyants K.O., Silkin D.S., Popov D.A. Evaluation of the effect of FinFET structure parameters on electrical characteristics using TCAD modeling tools *Izvestiya vuzov. Materialy elektronnoy tekhniki = Materials of Electronics Engineering*. 2021; 24(4): 222–152. <https://doi.org/10.17073/1609-3577-2021-4-222-152>

Непрерывные работы по уменьшению размеров элементов СБИС привели к переходу в промышленном производстве от планарных MOSFET к трехмерным FinFET. Минимальный топологический размер данных приборов достигает уровня 7 нм [1, 2], в промышленном производстве активно применяются технологии 14 нм [3] и более. Сложная форма и линейные размеры порядка единиц нанометров в значительной степени затрудняют экспериментальное исследование влияния структурных параметров этих транзисторов на электрические. При этом их паразитные значения сопротивления, индуктивности и емкости, вносимые схемой измерения, могут быть сопоставимы с внутренними параметрами самого транзистора, что также вносит существенные погрешности в измерения. Поэтому большое значение при решении такого рода задач приобретает приборно–технологическое моделирование.

В рамках российско–китайского гранта была разработана TCAD–модель 8–fin FinFET с различ-

ными длинами канала и трапецеидальным ребром. Основой для модели послужили экспериментальные структуры производства Институтом микроэлектроники Китайской академии наук (IMECAS). Элементарная ячейка и сравнение смоделированных и измеренных сток–затворных ВАХ транзистора представлено на рис. 1. Погрешность модели не превышает 15 % [4].

На базе этой модели была проведена оценка влияния на электрические характеристики следующих параметров:

1. Уровень легирования ребра.
2. Уровень легирования областей сток/исток.
3. Толщины подзатворных диэлектриков.

Оценивалось влияние данных параметров на максимальный ток FinFET, крутизну характеристики, а также напряжение смещения. Анализ экспериментальных данных показал, что ток утечки при измерениях ведет себя нестабильно. Выяснить причины такого поведения и отразить их в модели

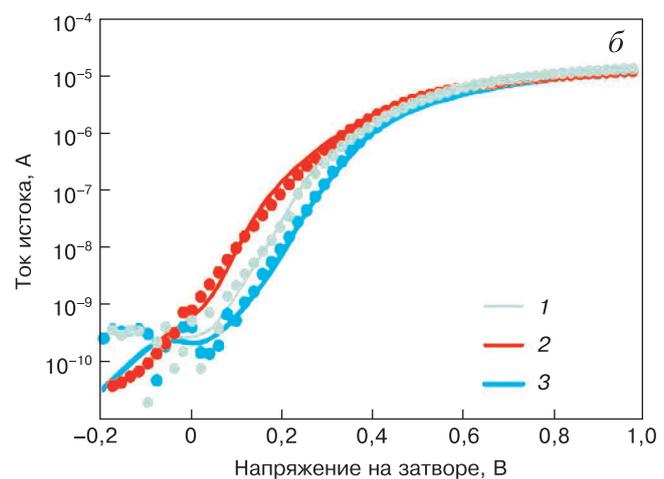
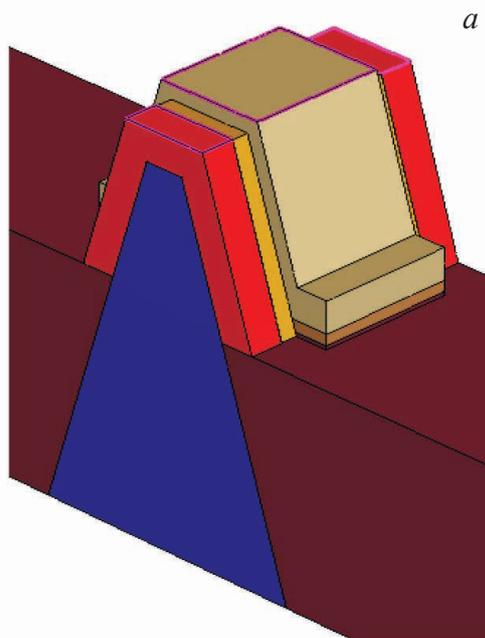


Рис. 1. Элементарная ячейка (а) и сравнение эксперимента и моделирования (б) для 8–fin FinFET с длинами канала 30 (1), 40 (2) и 60 (3) нм

Fig. 1. Unit cell (а) and comparison of experiment and simulation (б) for 8–fin FinFET with channel lengths of 30 (1), 40 (2) and 60 (3) nm

Краткое сообщение подготовлено по материалам доклада, представленного на III–й международной конференции «Математическое моделирование в материаловедении электронных компонентов», Москва, 25–27 октября 2021 г.

© 2021 National University of Science and Technology MISiS.

This is an open access article distributed under the terms of the Creative Commons Attribution License (CC-BY 4.0), which permits unrestricted use, distribution, and reproduction in any medium, provided the original author and source are credited.

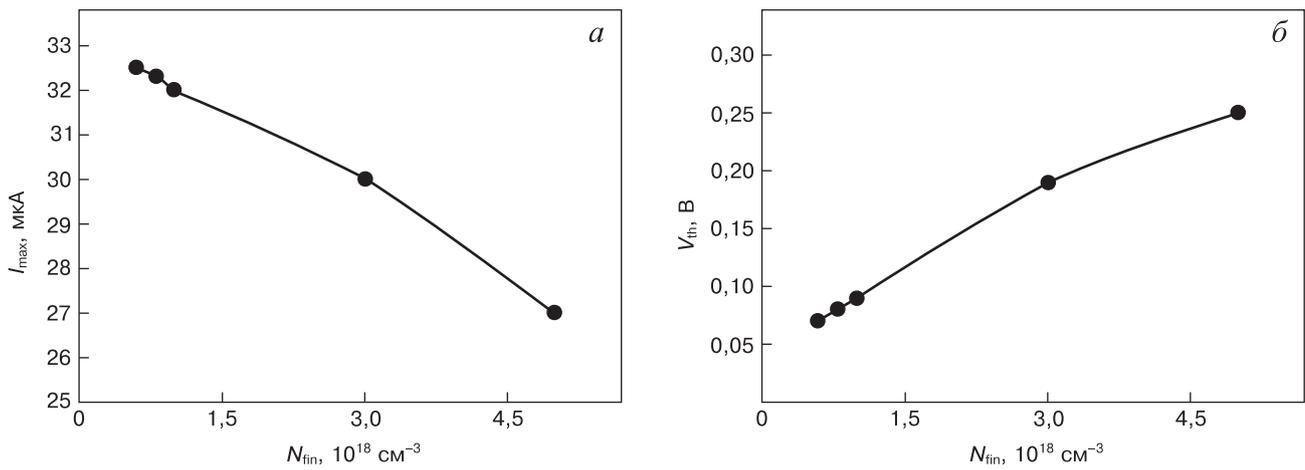


Рис. 2. Зависимость параметров FinFET от концентрации в ребре: а — зависимость максимального тока; б — зависимость порогового напряжения

Fig. 2. Dependence of FinFET parameters on the concentration in the fin: (a) dependence of the maximum current, (b) dependence of the threshold voltage

не представляется возможным, поэтому в рамках данной работы оценка влияния параметров структуры на ток утечки не проводилась.

Результаты моделирования представлены на рис. 2 и 3.

С увеличением концентрации примеси в ребре увеличивается пороговое напряжение и уменьшается максимальный ток. Это связано с тем, что необходима более высокая концентрация неосновных

носителей для образования инверсного слоя в подзатворной области, а концентрация в полученном канале сильнее компенсируется исходной концентрацией примеси, увеличивая поверхностное сопротивление канала.

Концентрация примеси в областях сток/исток влияет лишь на максимальный ток. При этом из рис. 3, а видно, что при концентрации менее $5 \cdot 10^{19} \text{ см}^{-3}$ зависимость становится нелинейной.

С увеличением эквивалентной толщины окисла растет пороговое напряжение и уменьшается максимальный ток. Увеличение толщины окисла при-

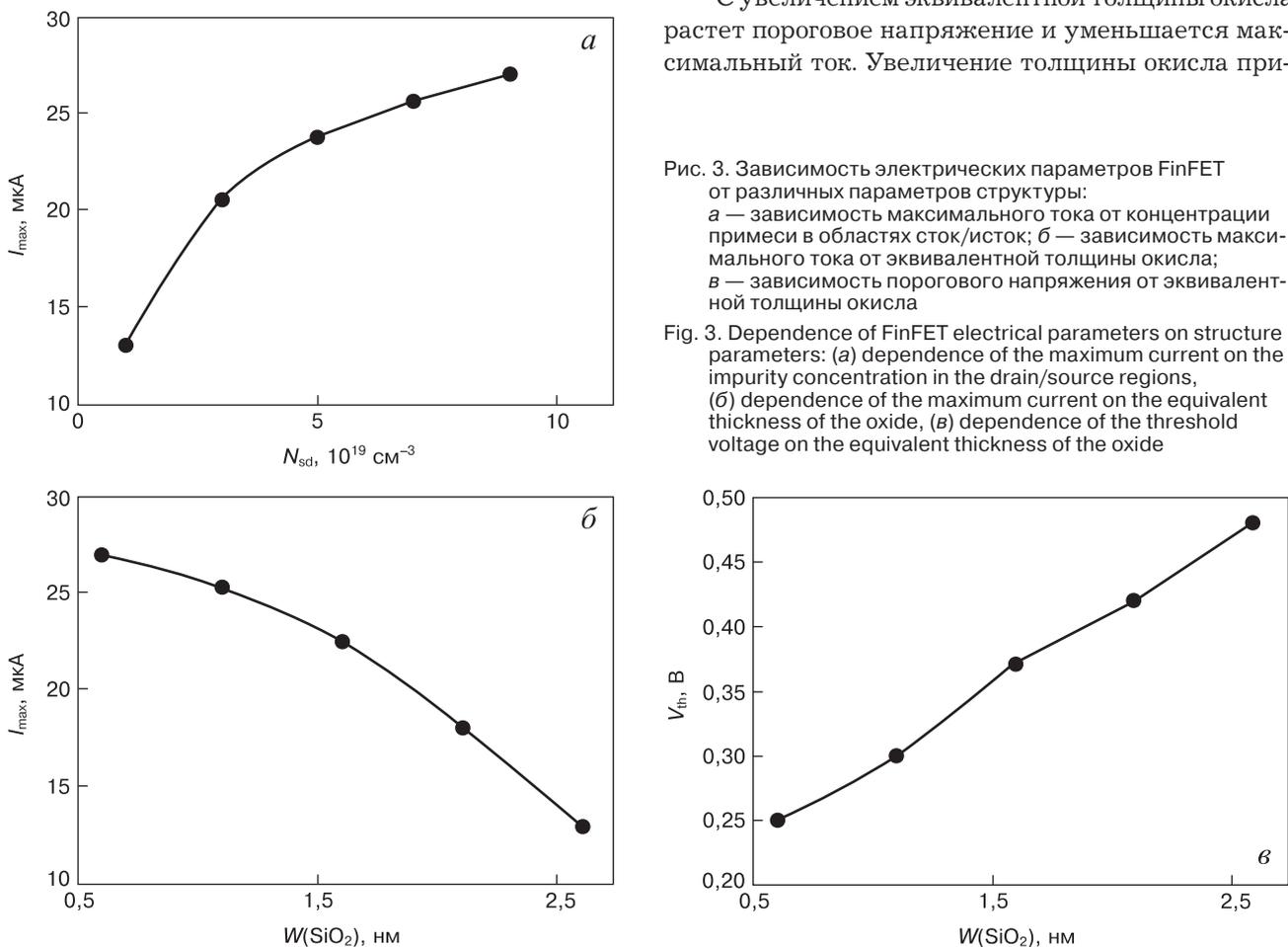


Рис. 3. Зависимость электрических параметров FinFET от различных параметров структуры: а — зависимость максимального тока от концентрации примеси в областях сток/исток; б — зависимость максимального тока от эквивалентной толщины окисла; в — зависимость порогового напряжения от эквивалентной толщины окисла

Fig. 3. Dependence of FinFET electrical parameters on structure parameters: (a) dependence of the maximum current on the impurity concentration in the drain/source regions, (b) dependence of the maximum current on the equivalent thickness of the oxide, (c) dependence of the threshold voltage on the equivalent thickness of the oxide

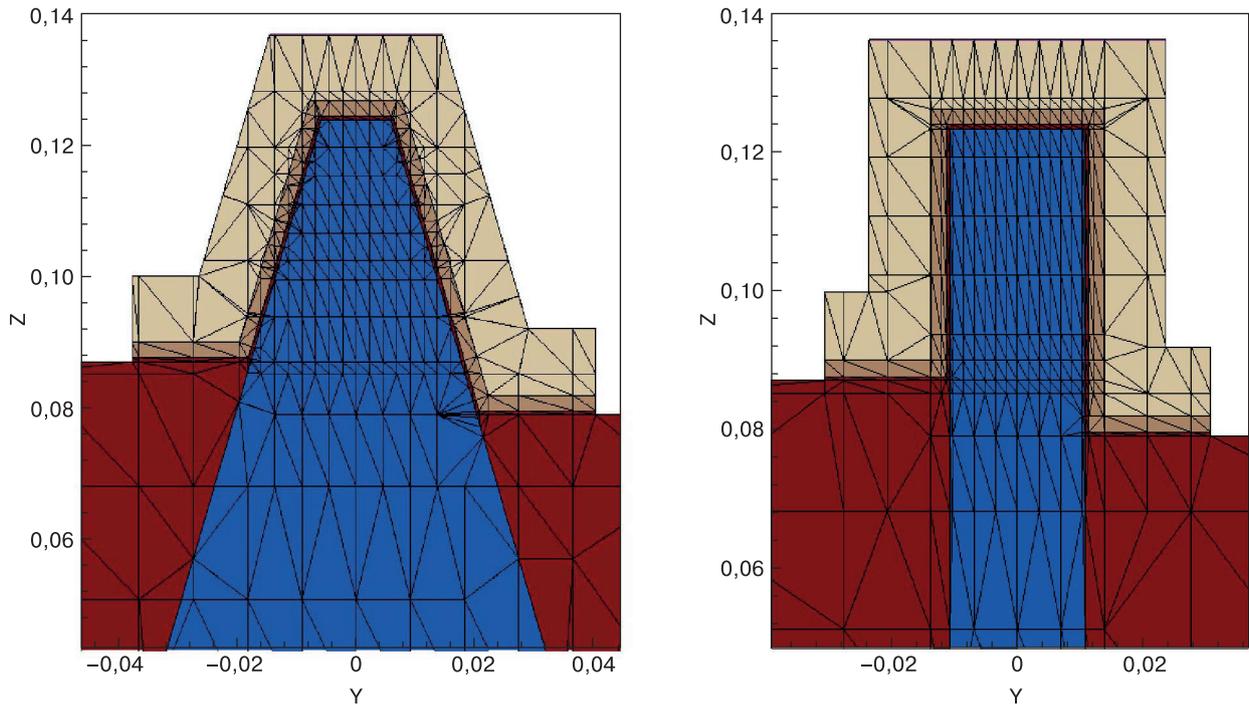


Рис. 4. Сравнимые структуры FinFET
Fig. 4. Comparable FinFET structures

водит к уменьшению емкости, а значит при том же значении напряжения на затворе в подзатворной области будет накапливаться меньший заряд и, как следствие, уменьшится концентрация носителей заряда в канале.

В целом, влияние рассмотренных параметров структуры на электропараметры аналогично тому, что можно наблюдать в традиционных MOSFET. Примечательно, что ни один из параметров не оказал влияния на крутизну характеристики.

Другим важным фактором, оказывающим влияние на параметры прибора, является форма ребра [5, 6]. Типичной является прямоугольная форма [7—10], однако встречаются также варианты [11] в форме трапеции [12—14]. Несовершенство технологии приводит к тому, что боковые грани ребра могут иметь разные размеры [15].

В рамках данной работы было рассмотрено два варианта структуры: трапецидальный и прямоугольный. Каждый вариант был смоделирован в двух исполнениях. В первом была установлена разница высот боковых стенок fin'a 8 нм (см. рис. 4), во втором разница высот отсутствовала. Размеры подбирались таким образом, чтобы высота ребра, а также его периметр оставались постоянны. Благодаря этому постоянной осталась ширина канала FinFET, а значит любые изменения значения максимального тока в модели обусловлены иными факторами.

Задействованные при расчете модели физических эффектов, сохранены без изменений. Сравнение параметров, смоделированных FinFET приведено в табл. 1.

Изменение формы fin'a на прямоугольную приводит к уменьшению порогового напряжения на 4 % по сравнению с трапецидальной моделью. Причиной является различное распределение напряженности электрического поля внутри fin'a. В прямоугольном fin'e боковые электрические поля от противоположных стенок ребра эффективнее компенсируют друг друга, тем самым уменьшая боковую составляющую электрического поля, являющуюся причиной деградации подвижности носителей заряда в полевых транзисторах. За счет этого также увеличивается и скорость переключения, из табл. 1 видно, что подпороговый наклон уменьшился на 7,5 %.

Наличие разницы высот боковых стенок fin'a приводит к изменению максимального тока, что связано с изменением ширины канала. Эти результаты согласуются с приведенными в [15].

Вместе с тем изменение формы fin'a значительно сказывается на сложности модели и длитель-

Таблица 1

Сравнение параметров FinFET
Comparison of FinFET parameters

Разница высот	SS, мВ/декада		V _{th} , мВ		I _{max} , мкА	
0	72	78	239	249	31	27
8 нм	72	78	239	249	28,5	25

Сравнение параметров прямоугольного FinFET с разной шириной ребра
Comparison of rectangular FinFET parameters with different fin widths

SS, мВ/декада			V_{th} , мВ			I_{max} , мкА		
10 нм	25 нм	40 нм	10 нм	25 нм	40 нм	10 нм	25 нм	40 нм
69	72	74	160	230	265	33	31	27

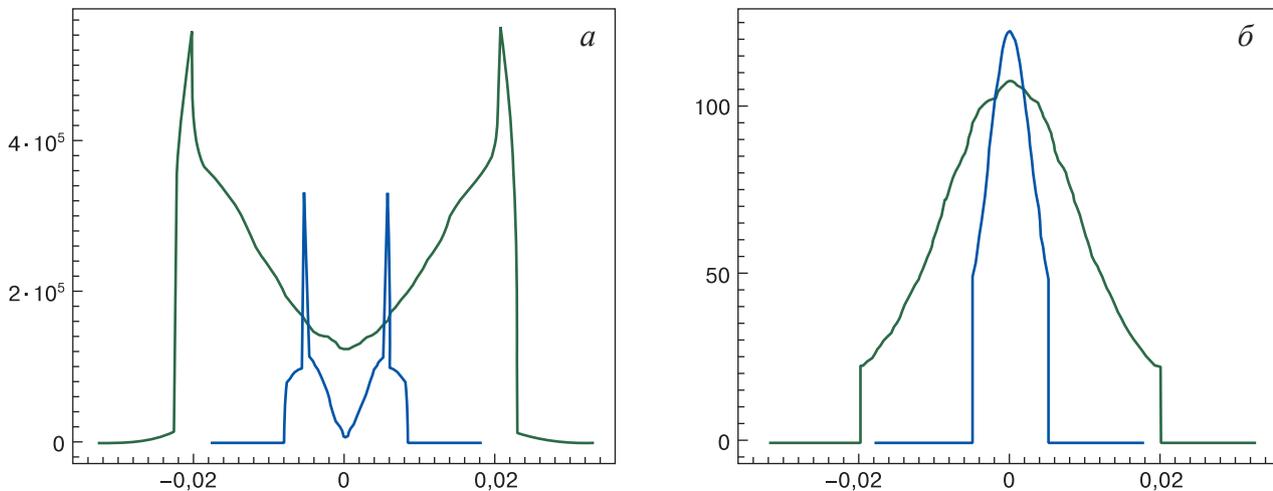


Рис. 5. Распределение напряженности электрического поля (а) и подвижности носителей заряда (б) в FinFET с разной шириной ребра

Fig. 5. Distribution of electric field strength (a) and charge carrier mobility (b) in FinFET with different edge widths

ности расчета. Количество элементов расчетной сетки для fin'a прямоугольной формы значительно сократилось: с 56000 до 32000. Время расчета уменьшилось на 50 %.

Для варианта с прямоугольным ребром без разницы высот боковых стенок снята зависимость параметров от ширины ребра. Результаты приведены в табл. 2.

Как видно из табл. 2, уменьшение ширины ребра сказывается на всех параметрах FinFET, приводит к росту максимального тока и ускоряет переключение транзистора, что также связано с компенсацией напряженности бокового электрического поля внутри ребра транзистора. Это отражено на примере прямоугольных FinFET с шириной 45 и 10 нм на рис. 5.

Таким образом, по итогам работы можно заключить, что поведение FinFET в зависимости

от параметров физической структуры, таких как концентрации легирующей примеси или толщины подзатворных диэлектриков, в целом схоже с поведением MOSFET.

Вместе с тем значительное влияние на электрические параметры этого типа транзисторов оказывает форма ребра. Уменьшение размеров, в первую очередь ширины ребра, ускоряет переключение транзистора, увеличивает максимальный ток и уменьшает пороговое напряжение.

Это связано с тем, что при уменьшении ширины ребра происходит взаимная компенсация электрических полей от боковых стенок FinFET, которые являются главной причиной уменьшения подвижности носителей заряда в канале полевого транзистора.

Библиографический список

1. Sicard E. Introducing 7-nm FinFET technology in Microwind. <https://hal.archives-ouvertes.fr/hal-01558775/document>
2. Mohammed M.U., Nizam A, Chowdhury M.H. Performance stability analysis of SRAM cells based on different FinFET devices in 7nm technology. *2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*. Burlingame: IEEE; 2018: 1—3. <https://doi.org/10.1109/S3S.2018.8640161>
3. Sicard E. Introducing 14-nm FinFET technology in Microwind June, 2017. <https://hal.archives-ouvertes.fr/hal-01541171/document>
4. Петросянц К.О., Силкин Д.С., Попов Д.А., Бо Ли, Сюй Чжан. TCAD-моделирование нанометровых структур FinFET на объемном кремнии с учетом воздействия радиации. *Известия высших учебных заведений. Электроника*. 2021; 26(5): 374—386. <https://doi.org/10.24151/1561-5405-2021-26-5-374-386>

5. Gaynor B.D., Hassoun S. Fin shape impact on FinFET leakage with application to multithreshold and ultralow-leakage FinFET design. *IEEE Transactions on Electron Devices*. 2014; 61(8): 2738—2744. <https://doi.org/10.1109/TED.2014.2331190>

6. Baravelli E., Marchi L., Speciale N. Fin shape fluctuations in FinFET: Correlation to electrical variability and impact on 6-T SRAM noise margins. *Solid-State Electronics*. 2009; 53(12): 1303—1312. <https://doi.org/10.1016/j.sse.2009.09.015>

7. Kawasaki H., Basker V.S., Yamashita T., Lin C.-H., Zhu Y., Faltermeier J., Schmitz S., Cummings J., Kanakasabapathy S., Adhikari H., Jagannathan H., Kumar A., Maitra K., Wang J., Yeh C.-C., Wang C., Khater M., Guillorn M., Fuller N., Chang J., Chang L., Muralidhar R., Yagishita A., Miller R., Ouyang Q., Zhang Y., Paruchuri V.K., Bu H., Doris B., Takayanagi M., Haensch W., McHerron D., O'Neill J., Ishimaru K. Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond. *2009 IEEE International Electron Devices Meeting (IEDM)*. Baltimore: IEEE; 2009: 1—4. <https://doi.org/10.1109/IEDM.2009.5424366>

8. Liu Y., Masahara M., Ishii K., Sekigawa T., Takashima H., Yamauchi H., Suzuki E. A highly threshold Voltage-controllable 4T FinFET with an 8.5-nm-thick Si-fin channel. *IEEE Electron Device Letters*. 2004; 25(7): 510—512. <https://doi.org/10.1109/LED.2004.831205>

9. Magnone P., Mercha A., Subramanian V., Parvais P., Collaert N., Dehan M., Decoutere S., Groeseneken G., Benson J., Merelle T., Lander R.J.P., Crupi F., Pace C. Matching performance of FinFET devices with fin widths down to 10 nm. *IEEE Electron Device Letters*. 2009; 30(12): 1374—1376. <https://doi.org/10.1109/LED.2009.2034117>

10. Guillorn M., Chang J., Bryant A., Fuller N., Doku-maci O., Wang X., Newbury J., Babich K., Ott J., Haran B.,

Yu R., Lavoie C., Klaus D., Zhang Y., Sikorski E., Graham W., To B., Lofaro M., Tornello J., Koli D., Yang B., Pyzyna A., Neumeyer D., Khater M., Yagishita A., Kawasaki H., Haensch W. FinFET performance advantage at 22nm: An AC perspective. *2008 Symposium on VLSI Technology*. Honolulu, USA: IEEE; 2008: 12—13. <https://doi.org/10.1109/VLSIT.2008.4588544>

11. Wu X., Chan P.C.H., Chan M. Impacts of nonrectangular fin cross section on the electrical characteristics of FinFET. *IEEE Transactions on Electron Devices*. 2005; 52(1): 63—68. <https://doi.org/10.1109/TED.2004.841334>

12. Li K.-S., Chen P.-G., Lai T.-Y., Lin C.-H., Cheng C.-C., Chen C.-C., Wei Y.-J., Hou Y.-F., Liao M.-H., Lee M.-H., Chen M.-C., Sheih J.-M., Yeh W.-K., Yang F.-L., Salahuddin S., Hu C. Sub-60mV-swing negative-capacitance FinFET without hysteresis. *2015 IEEE International Electron Devices Meeting (IEDM)*. Washington, USA; 2015: 22.6.1—22.6.4. <https://doi.org/10.1109/IEDM.2015.7409760>

13. Fried D.M., Duster J.S., Kornegay K.T. Improved independent Gate N-type FinFET fabrication and characterization. *IEEE Electron Device Letters*. 2003; 24(9): 592—594. <https://doi.org/10.1109/LED.2003.815946>

14. Lin C.-H., Kambhampati R., Miller R.J., Hook T.B., Bryant A., Haensch W., Oldiges P., Lauer I., Yamashita T., Basker V., Standaert T., Rim K., Leobandung E., Bu H., Khare M. Channel doping impact on FinFETs for 22nm and beyond. *2012 Symposium on VLSI Technology (VLSIT)*. Honolulu, USA: IEEE; 2012: 15—16. <https://doi.org/10.1109/VLSIT.2012.6242438>

15. Li B., Huang Y.-B., Yang L., Zhang Q.-Z., Zheng Z.-S., Li B.-H., Zhu H.-P., Bu J.-H., Yin H.-X., Luo J.-J., Han Z.-S., Wang H.-B. Process variation dependence of total ionizing dose effects in bulk nFinFETs. *Microelectronics Reliability*. 2018; 88—90: 946—951. <https://doi.org/10.1016/j.microrel.2018.07.020>

References

1. Sicard E. Introducing 7-nm FinFET technology in Microwind. <https://hal.archives-ouvertes.fr/hal-01558775/document>

2. Mohammed M.U., Nizam A., Chowdhury M.H. Performance stability analysis of SRAM cells based on different FinFET devices in 7nm technology. *2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*. Burlingame: IEEE; 2018: 1—3. <https://doi.org/10.1109/S3S.2018.8640161>

3. Sicard E. Introducing 14-nm FinFET technology in Microwind June, 2017. <https://hal.archives-ouvertes.fr/hal-01541171/document>

4. Petrosyants K.O., Silkin D.S., Popov D.A., Li Bo, Zhang Xu. TCAD modeling of nanoscale bulk FinFET structures with account of radiation exposure. *Proceedings of Universities. Electronics*. 2021; 26(5): 374—386. (In Russ.). <https://doi.org/10.24151/1561-5405-2021-26-5-374-386>

5. Gaynor B.D., Hassoun S. Fin shape impact on FinFET leakage with application to multithreshold and ultralow-leakage FinFET design. *IEEE Transactions on Electron Devices*. 2014; 61(8): 2738—2744. <https://doi.org/10.1109/TED.2014.2331190>

6. Baravelli E., Marchi L., Speciale N. Fin shape fluctuations in FinFET: Correlation to electrical variability and impact on 6-T SRAM noise margins. *Solid-State Electronics*. 2009; 53(12): 1303—1312. <https://doi.org/10.1016/j.sse.2009.09.015>

7. Kawasaki H., Basker V.S., Yamashita T., Lin C.-H., Zhu Y., Faltermeier J., Schmitz S., Cummings J., Kanakasabapathy S., Adhikari H., Jagannathan H., Kumar A., Maitra K., Wang J., Yeh C.-C., Wang C., Khater M., Guillorn M., Fuller N., Chang J., Chang L., Muralidhar R., Yagishita A., Miller R., Ouyang Q., Zhang Y., Paruchuri V.K., Bu H., Doris B., Takayanagi M., Haensch W., McHerron D., O'Neill J., Ishimaru K. Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond. *2009 IEEE International Electron Devices Meeting (IEDM)*. Baltimore: IEEE; 2009: 1—4. <https://doi.org/10.1109/IEDM.2009.5424366>

8. Liu Y., Masahara M., Ishii K., Sekigawa T., Takashima H., Yamauchi H., Suzuki E. A highly threshold Voltage-controllable 4T FinFET with an 8.5-nm-thick Si-fin channel. *IEEE Electron Device Letters*. 2004; 25(7): 510—512. <https://doi.org/10.1109/LED.2004.831205>

9. Magnone P., Mercha A., Subramanian V., Parvais P., Collaert N., Dehan M., Decoutere S., Groeseneken G., Benson J., Merelle T., Lander R.J.P., Crupi F., Pace C. Matching performance of FinFET devices with fin widths down to 10 nm. *IEEE Electron Device Letters*. 2009; 30(12): 1374—1376. <https://doi.org/10.1109/LED.2009.2034117>

10. Guillorn M., Chang J., Bryant A., Fuller N., Doku-maci O., Wang X., Newbury J., Babich K., Ott J., Haran B., Yu R., Lavoie C., Klaus D., Zhang Y., Sikorski E., Graham W., To B., Lofaro M., Tornello J., Koli D., Yang B., Pyzyna A., Neu-

meyer D., Khater M., Yagishita A., Kawasaki H., Haensch W. FinFET performance advantage at 22nm: An AC perspective. *2008 Symposium on VLSI Technology*. Honolulu, USA: IEEE; 2008: 12—13. <https://doi.org/10.1109/VLSIT.2008.4588544>

11. Wu X., Chan P.C.H., Chan M. Impacts of nonrectangular fin cross section on the electrical characteristics of FinFET. *IEEE Transactions on Electron Devices*. 2005; 52(1): 63—68. <https://doi.org/10.1109/TED.2004.841334>

12. Li K.-S., Chen P.-G., Lai T.-Y., Lin C.-H., Cheng C.-C., Chen C.-C., Wei Y.-J., Hou Y.-F., Liao M.-H., Lee M.-H., Chen M.-C., Sheih J.-M., Yeh W.-K., Yang F.-L., Salahuddin S., Hu C. Sub-60mV-swing negative-capacitance FinFET without hysteresis. *2015 IEEE International Electron Devices Meeting (IEDM)*. Washington, USA; 2015: 22.6.1—22.6.4. <https://doi.org/10.1109/IEDM.2015.7409760>

13. Fried D.M., Duster J.S., Korngay K.T. Improved independent Gate N-type FinFET fabrication and charac-

terization. *IEEE Electron Device Letters*. 2003; 24(9): 592—594. <https://doi.org/10.1109/LED.2003.815946>

14. Lin C.-H., Kambhampati R., Miller R.J., Hook T.B., Bryant A., Haensch W., Oldiges P., Lauer I., Yamashita T., Basker V., Standaert T., Rim K., Leobandung E., Bu H., Khare M. Channel doping impact on FinFETs for 22nm and beyond. *2012 Symposium on VLSI Technology (VLSIT)*. Honolulu, USA: IEEE; 2012: 15—16. <https://doi.org/10.1109/VLSIT.2012.6242438>

15. Li B., Huang Y.-B., Yang L., Zhang Q.-Z., Zheng Z.-S., Li B.-H., Zhu H.-P., Bu J.-H., Yin H.-X., Luo J.-J., Han Z.-S., Wang H.-B. Process variation dependence of total ionizing dose effects in bulk nFinFETs. *Microelectronics Reliability*. 2018; 88–90: 946—951. <https://doi.org/10.1016/j.microrel.2018.07.020>

Информация об авторах / Information about the authors

Петросянц Константин Орестович — доктор техн. наук, профессор, профессор-исследователь, Московский институт электроники и математики им. А.Н. Тихонова Национального исследовательского университета «Высшая школа экономики», ул. Таллинская, д. 34, Москва, 123458, Россия; Институт проблем проектирования в микроэлектронике Российской академии наук, ул. Советская, д. 3, Зеленоград, Москва, 124365, Россия; <https://orcid.org/0000-0001-7969-4786>; e-mail: kpetrosyants@hse.ru

Силкин Денис Сергеевич — канд. техн. наук, научный сотрудник, Московский институт электроники и математики им. А.Н. Тихонова Национального исследовательского университета «Высшая школа экономики», ул. Таллинская, д. 34, Москва, 123458, Россия; <https://orcid.org/0000-0001-8541-9422>; e-mail: dsilkin@hse.ru

Попов Дмитрий Александрович — канд. техн. наук, доцент, Московский институт электроники и математики им. А.Н. Тихонова Национального исследовательского университета «Высшая школа экономики», ул. Таллинская, д. 34, Москва, 123458, Россия; <https://orcid.org/0000-0002-4972-3280>; e-mail: da.popov@hse.ru

Konstantin O. Petrosyants — Dr. Sci. (Eng.), Professor, Professor-Researcher, HSE Tikhonov Moscow Institute of Electronics and Mathematics, 34 Tallinskaya Str., Moscow 123458, Russia; Institute for Design Problems in Microelectronics of the Russian Academy of Sciences, 3 Sovetskaya Str., Zelenograd, Moscow 124365, Russia; <https://orcid.org/0000-0001-7969-4786>; e-mail: kpetrosyants@hse.ru

Denis S. Silkin — Cand. Sci. (Eng.), Researcher, HSE Tikhonov Moscow Institute of Electronics and Mathematics, 34 Tallinskaya Str., Moscow 123458, Russia; <https://orcid.org/0000-0001-8541-9422>; e-mail: dsilkin@hse.ru

Dmitriy A. Popov — Cand. Sci. (Eng.), Associate Professor, HSE Tikhonov Moscow Institute of Electronics and Mathematics, 34 Tallinskaya Str., Moscow 123458, Russia; <https://orcid.org/0000-0002-4972-3280>; e-mail: da.popov@hse.ru

Поступила в редакцию 24.12.2021; поступила после доработки 11.01.2022; принята к публикации 21.01.2022
Received 24 December 2021; Revised 11 January 2022; Accepted 21 January 2022