

УДК 621.382:004.052.2

Сравнение сбоеустойчивых синхронных и самосинхронных схем

© 2021 г. А. А. Зацаринный¹, Ю. А. Степченков¹✉, Ю. Г. Дьяченко¹,
Ю. В. Рождественский¹

¹ *Федеральный исследовательский центр «Информатика и управление»
Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Россия*

✉ Автор для переписки: YStepchenkov@ipiran.ru

Аннотация. Статья рассматривает проблему разработки синхронных и самосинхронных (СС) цифровых схем, устойчивых к логическим сбоям. В синхронных схемах для обеспечения устойчивости к однократному сбою традиционно используется принцип голосования 2–из–3, приводящий к увеличению аппаратных затрат в три раза. В СС–схемах, благодаря парафазному кодированию сигналов и двухфазной дисциплине функционирования, даже дублирование обеспечивает уровень защиты от логического сбоя в 2,1–3,5 раз выше, чем троированный синхронный аналог. Разработка новых средств высокоточного моделирования механизмов возникновения сбоев в микроэлектронных компонентах позволит получить более точные оценки сбоеустойчивости электронных схем.

Ключевые слова: синхронная схема, самосинхронная схема, логический сбой, сбоеустойчивость, троирование, дублирование, надежность

Благодарность: Работа выполнена в рамках государственного задания № 0063–2019–0010.

Для цитирования: Зацаринный А.А., Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.В. Сравнение сбоеустойчивых синхронных и самосинхронных схем. *Известия вузов. Материалы электрон. техники.* 2021; 24(4): 229–233. <https://doi.org/10.17073/1609-3577-2021-4-229-233>

Failure–tolerant synchronous and self–timed circuits comparison

A. A. Zatsarinny¹, Yu. A. Stepchenkov¹✉, Yu. G. Diachenko¹, Yu. V. Rogdestvenski¹

¹ *Federal Research Center “Computer Science and Control”
of the Russian Academy of Sciences, 44–2 Vavilova Str., Moscow 119333, Russia*

✉ Автор для переписки: YStepchenkov@ipiran.ru

Abstract. The article considers the problem of developing synchronous and self–timed (ST) digital circuits that are tolerant to soft errors. Synchronous circuits traditionally use the 2–of–3 voting principle

Краткое сообщение подготовлено по материалам доклада, представленного на III–й международной конференции «Математическое моделирование в материаловедении электронных компонентов», Москва, 25–27 октября 2021 г.

© 2021 National University of Science and Technology MISiS.

This is an open access article distributed under the terms of the Creative Commons Attribution License (CC–BY 4.0), which permits unrestricted use, distribution, and reproduction in any medium, provided the original author and source are credited.

to ensure single failure, resulting in three times the hardware costs. In ST circuits, due to dual-rail signal coding and two-phase control, even duplication provides a soft error tolerance level 2.1 to 3.5 times higher than the triple modular redundant synchronous counterpart. The development of new high-precision software simulating microelectronic failure mechanisms will provide more accurate estimates for the electronic circuits' failure tolerance.

Keywords: synchronous circuit, self-timed circuit, soft error, failure tolerance, triple modular redundancy, duplication, reliability

Acknowledgment: The work was carried out within the framework of the state assignment No. 0063–2019–0010.

For citation: Zatsarinny A.A., Stepchenkov Yu.A., Diachenko Yu.G., Rogdestvenski Yu.V. Failure-tolerant synchronous and self-timed circuits comparison. *Izvestiya vuzov. Materialy elektronnoi tekhniki = Materials of Electronics Engineering*. 2021; 24(4): 229–233. <https://doi.org/10.17073/1609-3577-2021-4-229-233>

Введение

Маскирование логических сбоев, возникающих из-за воздействия ядерных частиц, электромагнитных импульсов, шумовых наводок и других причин, является важной задачей при решении проблемы надежности электронной аппаратуры. Под сбоем понимается изменение логического состояния выхода элемента, вызванное одиночным событием, не приводящим к выходу из строя его активных компонентов [1].

Обнаружение и маскирование сбоя в синхронных схемах обеспечивается с помощью сбоеустойчивых кодов [2] или одновременной обработки входных данных несколькими параллельными идентичными устройствами с последующим выбором (голосованием) правильного результата [3]. Сбоеустойчивый код рассчитан на парирование ограниченного подмножества сбоев из всех возможных. С увеличением плотности размещения транзисторов на площади микросхемы целесообразность его применения уменьшается из-за появления множественных сбоев при воздействии одиночной причины, на которые данный реализованный код не был рассчитан.

Принцип голосования обеспечивает надежное маскирование любого количества сбоев, возникших в минорном подмножестве каналов. Обычно применяется принцип «2-из-3» [3], который гарантирует надежную работу схемы в условиях, когда в каждый момент времени наблюдается не более одного логического сбоя. При большей интенсивности сбоев существует вероятность одновременного сбоя в двух и более каналах из трех, ведущего к критической ошибке.

Безусловным преимуществом троированной схемы является принятие решения «на лету» и продолжение корректной работы при однократном логическом сбое в любом канале. Она также обеспечивает защиту от множественного сбоя в одном канале.

Самосинхронные (СС) цифровые схемы [4], благодаря двухфазному режиму работы и контролю завершения переключения схемы в текущую фазу, характеризуются не только независимостью поведения от задержек элементов, но и более высокой естественной устойчивостью к логическим сбоям [5–6], чем их синхронные аналоги. В работе [7] были предложены методы повышения уровня сбоеустойчивости СС-схем, которые, однако, не обеспечивают полной защиты от сбоев.

Данная статья посвящена исследованию возможностей и способов построения стопроцентных сбоеустойчивых СС-схем и их сравнению с синхронными аналогами.

Обеспечение сбоеустойчивости СС-схем

Основным преимуществом действительно СС-схем является функциональная корректность их работы при любых задержках формирования и распространения внутренних и выходных сигналов за счет контроля завершения переключения всех элементов схемы в очередную фазу работы. Уменьшение напряжения питания и/или повышение окружающей температуры замедляет работу СС-схемы, но не нарушает корректности выполняемого ею алгоритма обработки данных. Свойство независимости от задержек элементов позволяет не ориентироваться на наихудший случай и обеспечивает временную приостановку работы СС-схемы до окончания сбоя в случае его обнаружения. Но классическая СС-схема обнаруживает не все типы сбоев.

Самый простой способ обеспечения маскирования СС-схемой всех сбоев — ее дублирование [8], изображенное на рисунке. Два идентичных канала обрабатывают один набор входных данных D_{in} . Их информационные выходы D_1 и D_2 сравниваются в схеме голосования «1-из-2» с целью выбора корректного результата D_{out} . При бессбойной работе на выход D_{out} передается выход D_1 канала-1. Индика-

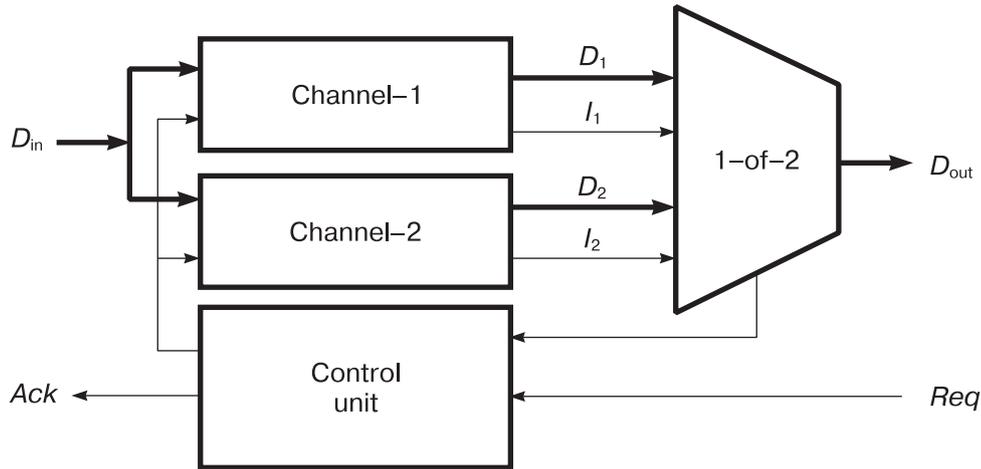


Рисунок. Сбоеустойчивая СС-схема
Figure. Fault-tolerant self-timed circuit

торные выходы каналов I_1 и I_2 служат признаками готовности выходов каналов. Вход Req разрешает переключение данной СС-схемы в следующую фазу функционирования, а выход Ack подтверждает успешное завершение переключения данной СС-схемы в текущую фазу.

Соответствующее топологическое проектирование СС-схемы обеспечивает защиту от сбоев типа «некорректное рабочее состояние» [6]. Тогда поразрядное сравнение выходов D_1 и D_2 гарантирует обнаружение сбоя как состояния, не соответствующего текущей фазе работы СС-схемы.

Дублированная СС-схема имеет два источника, которые в паре могут служить признаком корректности результата: два набора информационных выходов и два индикаторных выхода. Если они попарно совпадают, значит, обе половины схемы находятся в одном состоянии. В противном случае либо переключение какого-то канала еще не завершилось, либо где-то случился логический сбой.

Сравним вероятности появления логического сбоя в синхронной и СС-схеме, считая, что вероятность сбоя прямо пропорциональна площади топологической реализации схемы, а значит, и числу транзисторов в ней.

Сравнение обычных схем

Интенсивность сбоев λ в обычной схеме, не использующей принципа голосования, можно оценить по формуле [3]:

$$\lambda = N\lambda_0\alpha,$$

где N — число транзисторов в схеме; λ_0 — плотность потока случайных воздействий (число воздействий в единицу времени), инициирующих сбой в одном транзисторе; α — вероятность сбоя при повреждении одного транзистора. Тогда отношение интенсив-

ностей K_I сбоев синхронной схемы и ее СС-аналога будет иметь вид:

$$K_I = \frac{\lambda_S}{\lambda_{ST}} = \frac{N_S\lambda_0\alpha_S}{N_{ST}\lambda_0\alpha_{ST}} = \frac{N_S\alpha_S}{N_{ST}\alpha_{ST}} = \frac{\alpha_S}{A_R\alpha_{ST}}, \quad (1)$$

где λ_S — интенсивность сбоев синхронной схемы; λ_{ST} — интенсивность сбоев СС-схемы; N_S — число транзисторов синхронной схемы; N_{ST} — число транзисторов СС-схемы; α_S — вероятность сбоя при повреждении одного транзистора синхронной схемы; α_{ST} — вероятность сбоя при повреждении одного транзистора СС-схемы; $A_R = N_{ST}/N_S$ — коэффициент избыточности аппаратуры СС-схемы по отношению к синхронной схеме.

Примем во внимание соотношение числа транзисторов синхронного и СС-аналога в комбинационных схемах в наихудшем случае $A_{R_C} = 2,7$ (из практики реализации комбинационных СС-схем разного типа), вероятности проявления сбоя $\alpha_{S1} = 0,5$ и $\alpha_{ST1} = 0,156$ [9]. Столь малая вероятность сбоя в СС-схеме обусловлена полной предложенной в [6] парафазного кодирования информационных сигналов, когда состояние, противоположное спейсеру, не считается запрещенным, но индицируется как спейсер. Тогда для комбинационных синхронной и СС-схем:

$$K_{I_C} = \frac{\alpha_{S1}}{A_{R_C}\alpha_{ST1}} = \frac{0,5}{2,7 \cdot 0,156} = 1,19. \quad (2)$$

Для триггерных схем соотношение числа транзисторов синхронного и СС-аналога равно $A_{R_S} = 1,5$ в наихудшем случае, как показывает сравнение их схемотехнических реализаций, вероятности проявления сбоя $\alpha_{S2} = 0,5$ и $\alpha_{ST2} = 0,17$ [10]. Тогда:

$$K_{I_S} = \frac{\alpha_{S2}}{A_{R_S}\alpha_{ST2}} = \frac{0,5}{1,5 \cdot 0,17} = 1,96. \quad (3)$$

Формулы (1)—(3) наглядно демонстрируют лучшую сбоеустойчивость СС-схем по сравнению с синхронными аналогами даже несмотря на их аппаратную избыточность.

Сравнение сбоеустойчивых схем

Оценим время бесбойной работы для сбоеустойчивых вариантов троированной синхронной и дублированной СС-схем. В синхронной схеме результат считается правильным, если он совпадает хотя бы у двух из трех блоков. Вероятность бесбойной работы $R_{M\text{-of-}N}(t)$ для N одинаковых блоков до тех пор, пока как минимум M из них работают без сбоя, описывается уравнением [3]:

$$R_{M\text{-of-}N}(t) = \sum_{i=0}^{N-M} \left\{ \frac{N!}{i!(N-i)!} [1-R(t)]^i R(t)^{N-i} \right\},$$

где $R(t)$ — вероятность бесбойной работы одного блока.

Тогда в случае синхронной схемы с мажоритированием ($N = 3, M = 2$) время бесбойной работы T_{FF-T} составит [3]:

$$\begin{aligned} T_{FF-T} &= \int_0^{\infty} R_{2\text{-of-}3}(t) dt = \\ &= \int_0^{\infty} [3R(t)^2 - 2R(t)^3] dt = \frac{5}{6\lambda_S}. \end{aligned}$$

В дублированной СС-схеме $N = 2, M = 1$. Тогда время ее бесбойной работы:

$$\begin{aligned} T_{FF-D} &= \int_0^{\infty} R_{1\text{-of-}2}(t) dt = \\ &= \int_0^{\infty} [2R(t) - R(t)^2] dt = \frac{3}{2\lambda_{ST}}. \end{aligned}$$

С учетом формул (1)—(3), отношение времени бесбойной работы дублированной СС-схемы и

мажоритарного варианта ее синхронного аналога составит:

$$K_{TC} = \frac{T_{FF-D}}{T_{FF-T}} = \frac{3 \cdot 6 \cdot \lambda_S}{5 \cdot 2 \cdot \lambda_{ST}},$$

или $K_{TC} = 2,14$ для комбинационных схем и $K_{TS} = 3,53$ для триггерных схем.

Таким образом, за счет присущего им маскирования одиночных логических сбоев СС-схемы в случае дублирования аппаратуры обеспечивают время бесбойной работы от 2,1 до 3,5 раз больше, чем их синхронные аналоги, реализующие принцип троирования с мажоритированием результата. При этом в 1,5 раза уменьшается их избыточность по отношению к синхронному аналогу. Поэтому они являются перспективной альтернативой синхронным схемам для проектирования высоконадежных микроэлектронных устройств.

Приведенные оценки вероятностей проявления сбоя α_S и α_{ST} получены эвристическим путем в предположении, что все ветви в «дереве» событий, порождаемом причиной логического сбоя, имеют равную вероятность наблюдения. Повысить точность оценок можно только на основе программных средств моделирования механизмов возникновения сбоев в микроэлектронных компонентах.

Заключение

1. Синхронные схемы с голосованием типа « N -из- M » не обеспечивают защиту от часто повторяющихся одиночных и множественных сбоев.
2. В первом приближении дублированная СС-схема обладает в 2,1—3,5 раза лучшей устойчивостью к сбоям, чем троированный синхронный аналог.
3. Разработка новых программных средств моделирования механизмов возникновения сбоев в микроэлектронных компонентах позволит получить более точные оценки сбоеустойчивости электронных схем и разработать более эффективные сбоеустойчивые решения.

Библиографический список

1. Викторова В.С., Лубков Н.В., Степанянц А.С. Анализ надежности отказоустойчивых управляющих вычислительных систем. М.: Институт проблем управления РАН; 2016. 117 с. https://www.ipu.ru/sites/default/files/card_file/VLS.pdf (дата обращения: 08.06.2021).
2. Alagoz B.V. Boolean Logic with Fault Tolerant Coding. *OncuBilim Algorithm and Systems Labs*. 2009. V. 09, Art. No 03.
3. Dubrova E. Fault-tolerant design. KTH Royal Institute of Technology, Krista, Sweden, 2013, Springer, 185 p. <https://doi.org/10.1007/978-1-4614-2113-9>
4. Zakharov V., Stepchenkov Y., Diachenko Y., Rogdestvenski Y., Self-Timed Circuitry Retrospective. *International Conference Engineering Technologies and Computer Science EnT*. Moscow (Russia), 24–27 June 2020, pp. 58—64.
5. Stepchenkov Y.A., Kamenskih A.N., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Y. Fault-tolerance of self-timed circuits. *10th International Conference on Dependable Systems, Services, and Technologies (DESSERT)*, 2019. <https://doi.org/10.1109/DESSERT.2019.8770047>
6. Stepchenkov Y.A., Kamenskih A.N., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances in Science, Technology and Engineering Systems Journal*. 2020; 5(2): 44—56. <https://doi.org/10.25046/aj050206>
7. Зацаринный А.А., Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.В. Самосинхронные схемы как база создания высоконадежных высокопроизводительных компьютеров следующего поколения. *Материалы II Международной конференции «Математическое моделирование в материаловедении электронных ком-*

понентов» (МММЭК–2020). 19–20 октября 2020, Москва. М.: МАКС Пресс; 2020: 114—116. <https://doi.org/10.29003/m1535.MMMSEC-2020/114-116>

8. Monnet Y., Renaudin M., Leveugle R. Hardening techniques against transient faults for asynchronous circuits. *11th IEEE International Conference: On-Line Testing Symposium*, 2005. <https://doi.org/10.1109/IOLTS.2005.30>

9. Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В., Морозов Н.В., Степченко Д.Ю., Дьяченко Д.Ю. Устойчивость самосинхронного конвейера к логическим сбоям в комбинационной части. *Системы и средства информатики*. 2020; (3(30)): 49—55. <https://doi.org/10.14357/08696527200305>; <http://selftiming.ru/new/2020/12/07/ustojchivost-samosinhronnogo-konvejera-k-logicheskim-sboyam-v-kombinacziionnoj-chasti> (дата обращения: 08.06.2021).

10. Соколов И.А., Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В. Повышение сбоеустойчивости самосинхронных схем. *Информатика и ее применения*. 2020; 14(4): 63—68. <https://doi.org/10.14357/19922264200409>; <http://selftiming.ru/new/2021/02/01/povyshenie-sboeustojchivosti-samosinhronnyh-shem> (дата обращения: 08.06.2021).

10. Sokolov I.A., Stepchenkov Yu.A., Diachenko Yu.G., Rogdestvenski Yu.V. Improvement of self-timed circuit soft error tolerance. *Informatics and Applications*. 2020; 14(4): 63—68. (In Russ.). <https://doi.org/10.14357/19922264200409>; <http://selftiming.ru/new/2021/02/01/povyshenie-sboeustojchivosti-samosinhronnyh-shem> (accessed: 08.06.2021).

References

1. Viktorova V.S., Lubkov N.V., Stepanyants A.S. Reliability analysis of fault-tolerant control computing systems. Moscow: Institute for Control Problems of the Russian Academy of Sciences; 2016. 117 p. (In Russ.). https://www.ipu.ru/sites/default/files/card_file/VLS.pdf (accessed: 08.06.2021).

2. Alagoz B.B. Boolean Logic with Fault Tolerant Coding. *OncuBilim Algorithm and Systems Labs*. 2009. V. 09, Art. No 03.

3. Dubrova E. Fault-tolerant design. KTH Royal Institute of Technology, Krista, Sweden, 2013, Springer, 185 p. <https://doi.org/10.1007/978-1-4614-2113-9>

4. Zakharov V., Stepchenkov Y., Diachenko Y., Rogdestvenski Y., Self-Timed Circuitry Retrospective. *International Conference Engineering Technologies and Computer Science EnT*. Moscow (Russia), 24–27 June 2020, pp. 58—64.

5. Stepchenkov Y.A., Kamenskih A.N., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Y. Fault-tolerance of self-timed circuits. *10th International Conference on Dependable Systems, Services, and Technologies (DESSERT)*, 2019. <https://doi.org/10.1109/DESSERT.2019.8770047>

6. Stepchenkov Y.A., Kamenskih A.N., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances in Science, Technology and Engineering Systems Journal*. 2020; 5(2): 44—56. <https://doi.org/10.25046/aj050206>

7. Zatsarinny A.A., Stepchenkov Yu.A., Diachenko Yu.G., Rogdestvenski Yu.V. Self-timed circuits as a basis for developing next generation high-reliable high-performance computers. *Proceedings of the international conference “Mathematical modeling in materials science of electronic components” (ICM3SEC–2020). October 19–20, 2020, Moscow*. Moscow: MAKS Press; 2020: 114—116. (In Russ.). <https://doi.org/10.29003/m1535.MMMSEC-2020/114-116>

8. Monnet Y., Renaudin M., Leveugle R. Hardening techniques against transient faults for asynchronous circuits. *11th IEEE International Conference: On-Line Testing Symposium*, 2005. <https://doi.org/10.1109/IOLTS.2005.30>

9. Stepchenkov Yu.A., Diachenko Yu.G., Rogdestvenski Yu.V., Morozov N.V., Stepchenkov D.Yu., Diachenko D.Yu. Self-timed pipeline immunity to soft errors in its combinational part. *Systems and Means of Informatics*. 2020; (3(30)): 49—55. (In Russ.). <https://doi.org/10.14357/08696527200305>; <http://selftiming.ru/new/2020/12/07/ustojchivost-samosinhronnogo-konvejera-k-logicheskim-sboyam-v-kombinacziionnoj-chasti> (accessed: 08.06.2021).

10. Sokolov I.A., Stepchenkov Yu.A., Diachenko Yu.G., Rogdestvenski Yu.V. Improvement of self-timed circuit soft error tolerance. *Informatics and Applications*. 2020; 14(4): 63—68. (In Russ.). <https://doi.org/10.14357/19922264200409>; <http://selftiming.ru/new/2021/02/01/povyshenie-sboeustojchivosti-samosinhronnyh-shem> (accessed: 08.06.2021).

Информация об авторах / Information about the authors

Зацаринный Александр Алексеевич — доктор техн. наук, главный научный сотрудник, заместитель директора, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Россия; <https://orcid.org/0000-0002-8872-2774>; e-mail: AZatsarinny@ipiran.ru

Alexander A. Zatsarinny — Dr. Sci. (Eng.), Chief Researcher, Deputy Director, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44–2 Vavilova Str., Moscow 119333, Russia; <https://orcid.org/0000-0002-8872-2774>; e-mail: AZatsarinny@ipiran.ru

Степченко Юрий Афанасьевич — канд. техн. наук, заведующий отделом, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Россия; <https://orcid.org/0000-0003-4784-7519>; e-mail: YStepchenkov@ipiran.ru

Yury A. Stepchenkov — Cand. Sci. (Eng.), Department Head, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44–2 Vavilova Str., Moscow 119333, Russia; <https://orcid.org/0000-0003-4784-7519>; e-mail: YStepchenkov@ipiran.ru

Дьяченко Юрий Георгиевич — канд. техн. наук, старший научный сотрудник, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Россия; <https://orcid.org/0000-0003-0212-4931>; e-mail: diaura@mail.ru

Yury G. Diachenko — Cand. Sci. (Eng.), Senior Researcher, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44–2 Vavilova Str., Moscow 119333, Russia; <https://orcid.org/0000-0003-0212-4931>; e-mail: diaura@mail.ru

Рождественский Юрий Владимирович — канд. техн. наук, ведущий научный сотрудник, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Россия; e-mail: YRogdest@ipiran.ru

Yury V. Rogdestvenski — Cand. Sci. (Eng.), Leading Researcher, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44–2 Vavilova Str., Moscow 119333, Russia; e-mail: YRogdest@ipiran.ru