

Сбоеустойчивые самосинхронные счетчики

© 2024 г. А. А. Зацаринный, Ю. А. Степченков✉, Ю. Г. Дьяченко,
Д. В. Хилько, Г. А. Орлов, Д. Ю. Дьяченко

*Федеральный исследовательский центр «Информатика и управление»
Российской академии наук,
ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация*

✉ Автор для переписки: YStepchenkov@ipiran.ru

Аннотация. В статье рассмотрена проблема создания сбоеустойчивых самосинхронных (СС) счетчиков. Сбоеустойчивые самосинхронные схемы имеют более высокую сбоеустойчивость в сравнении с синхронными аналогами благодаря аппаратной избыточности, двухфазной дисциплине работы и подтверждению завершения всех инициированных переключений элементов схемы в каждой фазе. Такие схемы с памятью, в том числе и счетчики, более чувствительны к сбоям из-за возможной инверсии хранимого бита данных под влиянием сбоя. Для их сбоеустойчивой реализации используются специальные схемотехнические методы: DICE и Quatro. Проведено сравнение характеристики бистабильных ячеек DICE- и Quatro-типа, использующихся в сбоеустойчивых самосинхронных-счетчиках, и даны рекомендации по их реализации.

Ключевые слова: самосинхронные схемы, логический сбой, двоичный счетчик, сбоеустойчивость, бифазный сигнал, индикация, DICE, Quatro

Благодарности: Исследование выполнено в рамках гранта Российского научного фонда (проект № 22–19–00237).

Для цитирования: Зацаринный А.А., Степченков Ю.А., Дьяченко Ю.Г., Хилько Д.В., Орлов Г.А., Дьяченко Д.Ю. Сбоеустойчивые самосинхронные счетчики. *Известия высших учебных заведений. Материалы электронной техники.* 2024; 27(2): 125—131. <https://doi.org/10.17073/1609-3577j.met202310.588>

Fault-tolerant self-timed counters

A. A. Zatsarinnyy, Yu. A. Stepchenkov✉, Yu. G. Diachenko, D. V. Khilko,
G. A. Orlov, D. Yu. Diachenko

*Federal Research Centre “Information and Control” of the Russian Academy of Sciences,
44–2 Vavilov Str., Moscow 119333, Russian Federation*

✉ Corresponding author: YStepchenkov@ipiran.ru

Статья подготовлена по материалам доклада, представленного на V-й международной конференции «Математическое моделирование в материаловедении электронных компонентов», Москва, 23–25 октября 2023 г.

Abstract. The article studies the fault-tolerant self-timed (ST) counter design problem. Combinational ST circuits have a higher fault tolerance in comparison with synchronous counterparts due to redundant information coding and mandatory acknowledging of the completion of all initiated circuit cells' switches. Sequential ST circuits, including counters, are more sensitive to failures due to the presence of memory cells, the state of which can change under the influence of a failure and be remembered. For their fault-tolerant implementation, special circuitry methods, namely DICE and Quatro, are used. They are similar to the data processing channel duplication, but use transistor cross-connection in the circuit cells. This approach significantly reduces the likelihood of a change in the counter bit's state due to a failure. The article proposes DICE-type and Quatro-type ST counter cases, compares their features and resumes recommendations for the fault-tolerant ST counter implementation.

Keywords: self-timed circuits, soft error, binary counter, fault-tolerance, bi-phase signal, DICE, Quatro

Acknowledgments: The study was carried out within the framework of a grant from the Russian Science Foundation (project No. 22-19-00237).

For citation: Zatsarinnyy A.A., Stepchenkov Yu.A., Diachenko Yu.G., Khilko D.V., Orlov G.A., Diachenko D.Yu. Fault-tolerant self-timed counters. *Izvestiya vuzov. Materialy elektronnoi tekhniki = Materials of Electronics Engineering*. 2024; 27(2): 125—131. <https://doi.org/10.17073/1609-3577j.met202310.588>

Введение

На современном уровне развития цифровой техники требование надежности ее работы становится одним из приоритетных. Причинами потери работоспособности являются процессы старения материала и влияние источников логических сбоев и отказов. Практика показывает, что логические сбои проявляются на несколько порядков чаще, чем отказы [1]. Поэтому в настоящее время проблема устойчивости цифровых схем к сбоям является наиболее важной и актуальной.

Современные цифровые сверхбольшие интегральные схемы (СБИС) в основном изготавливаются по технологии комплементарный металл-диэлектрик-полупроводник (КМДП). Физический механизм появления сбоя в КМДП-транзисторах заключается в индуцировании избыточного заряда в теле полупроводника или в сигнальной цепи, вызывающего инверсию логического уровня соответствующей цепи [2].

В комбинационной КМДП-схеме сбой сам по себе исчезает со временем за счет рассасывания индуцированного избыточного заряда под действием внутренних электрических полей. Но в схемах с памятью он может привести к инверсии хранимого бита информации (состояния разряда счетчика).

Парирование сбоев в синхронных схемах обеспечивается с помощью сбоеустойчивых кодов [3] эффективных лишь при небольших интенсивностях сбоев или одновременной обработки входных данных несколькими параллельными идентичны-

ми каналами с последующим вотинованием правильного результата [4, 5].

Комбинационные самосинхронные (СС) цифровые схемы обладают более высокой естественной устойчивостью к логическим сбоям [6, 7], чем их синхронные аналоги благодаря двухфазной дисциплине работы и индикации переключений. Устойчивость СС-схем с памятью к сбоям обеспечивается аппаратными средствами, предотвращающими инвертирование состояния ячейки памяти из-за сбоя.

Счетчики составляют многочисленный класс цифровых арифметических устройств с памятью. Поэтому разработка методов и аппаратных средств, делающих СС-счетчики иммунными к логическим сбоям, является актуальной задачей. Данная статья посвящена исследованию способов построения сбоеустойчивых СС-счетчиков.

Схемотехника самосинхронных счетчиков

Группа отечественных ученых под руководством В.И. Варшавского разработала ряд СС-счетчиков с разными коэффициентами пересчета [8] на основе бистабильных ячеек — RS-триггеров. Типовая схема одного разряда двоичного СС-счетчика показана на рис. 1, а. В схеме на рис. 1 можно выделить две бистабильные ячейки (БЯ), образованные парами элементов (U1, U2) и (U3, U4). Однако схема разряда СС-счетчика на рис. 1, а не обеспечивает надежной защиты от логических сбоев. Необходимы дополнительные аппаратные

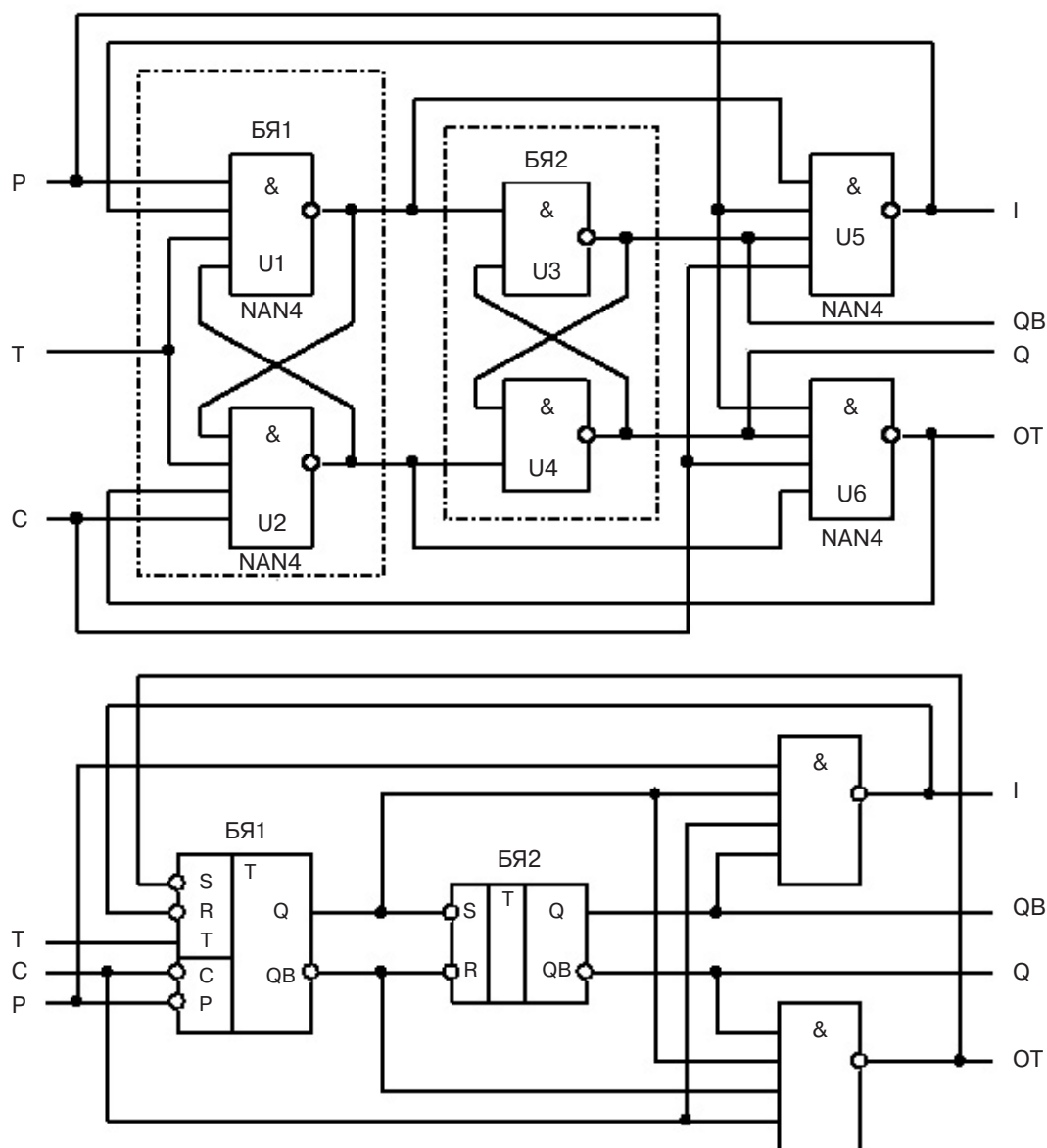


Рис. 1. Один разряд двоичного СС-счетчика с СС-предустановкой:

а — логическая схема; б — структурная схема; Т — счетный вход; С — вход СС-сброса; Р — вход СС-установки; Q и QB — информационные бифазные выходы; I — индикаторный выход; OT — счетный выход

Fig. 1. One digit of a binary self-timed counter with self-timed preset: (a) logic diagram, (b) structural diagram, T is counting input, C is self-timed reset input, P is self-timed set input, Q and QB is information bi-phase outputs, I is indicator output, OT is counting output

затраты для предотвращения нежелательных переключений логических элементов разряда СС-счетчика при воздействии однократного логического сбоя.

Для повышения сбоеустойчивости ячеек памяти в литературе предлагается использовать DICE-подход [9] и Quatro-подход [10]. Оба подхода основаны на дублировании всех элементов схемы и введении перекрестной (**DICE**) или попарной (Quatro) коммутации затворов транзисторов, выполненных по технологии комплементарный металл—диэлектрик—полупроводник (КМДП-транзисторов). В результате такой реализации дублированные элементы работают идентично в отсутствие логического сбоя, а при возникновении

однократного логического сбоя они предотвращают изменение состояния ячейки памяти.

Сравнение DICE- и Quatro-реализации RS-триггера

Логическую схему на рис. 1, а можно представить в структурном виде, состоящей из RS-триггеров, как показано на рис. 1, б. Поэтому степень защищенности СС-счетчика от логических сбоев зависит от сбоеустойчивости RS-триггеров. Сравним DICE- и Quatro-подобные реализации RS-триггера, использующего БЯ2. Символьное изображение такой БЯ, а также DICE- и Quatro-подобные реализации БЯ2 представлены на рис. 2.

Преобразование дублированного сигнала в унарный осуществляется конвертером, схема которого на КМДП-транзисторах показана на рис. 3, а. С этой же целью можно использовать С-элемент Маллера [11], полустатическая схема которого изображена на рис. 3, б. Обведенные овалом транзисторы образуют так называемый слабый инвертор. При логическом сбое на входах А и В конвертера могут кратковременно появиться инверсные логические уровни. В результате выход Y конвертера Y на рис. 3, а переключится в высокоимпедансное состояние на время действия логического сбоя. Если длительность сбоя достаточно велика или схема характеризуется сильными утечками тока, логический уровень выхода Y может инвертироваться. Схема С-элемента (рис. 3, б) свободна от этого недостатка.

Для проверки сбоеустойчивости вариантов БЯ2 использовалось электрическое моделирование схемы с эмуляцией кратковременного логического сбоя с помощью источника ионизационного тока с амплитудой 400 мкА, временем нарастания 7 пс,

вершиной импульса 200 пс и временем спада 700 пс [12], подключаемого в произвольную цепь схемы. На рис. 4–6 проиллюстрированы реакции DICE- и Quatro-вариантов реализации БЯ2 с конвертером дублированных выходов БЯ2 на однократный логический сбой в цепи QB2 (см. рис. 4), N (см. рис. 5) или S1 (см. рис. 6).

Сравнение диаграмм показывает, что в схеме DICE-типа логический сбой приводит к изменению логического уровня сигнала в сбойной цепи на время действия сбоя. Состояние бифазного выхода БЯ2 при этом сохраняется. В схеме Quatro-типа сбой, поразивший цепь QB2 или вход S1, вызывает переключение и всей БЯ2, включая и ее бифазный выход (Q, QB). Ввиду симметрии схем на рис. 2 эмуляция сбоев в других цепях приводит к аналогичным результатам.

Таким образом, моделирование ситуации с логическим сбоем в произвольной цепи схемы RS-триггера показывает явное преимущество DICE-варианта в сравнении с Quatro-вариантом. Поэтому для обеспечения сбоеустойчивости дво-

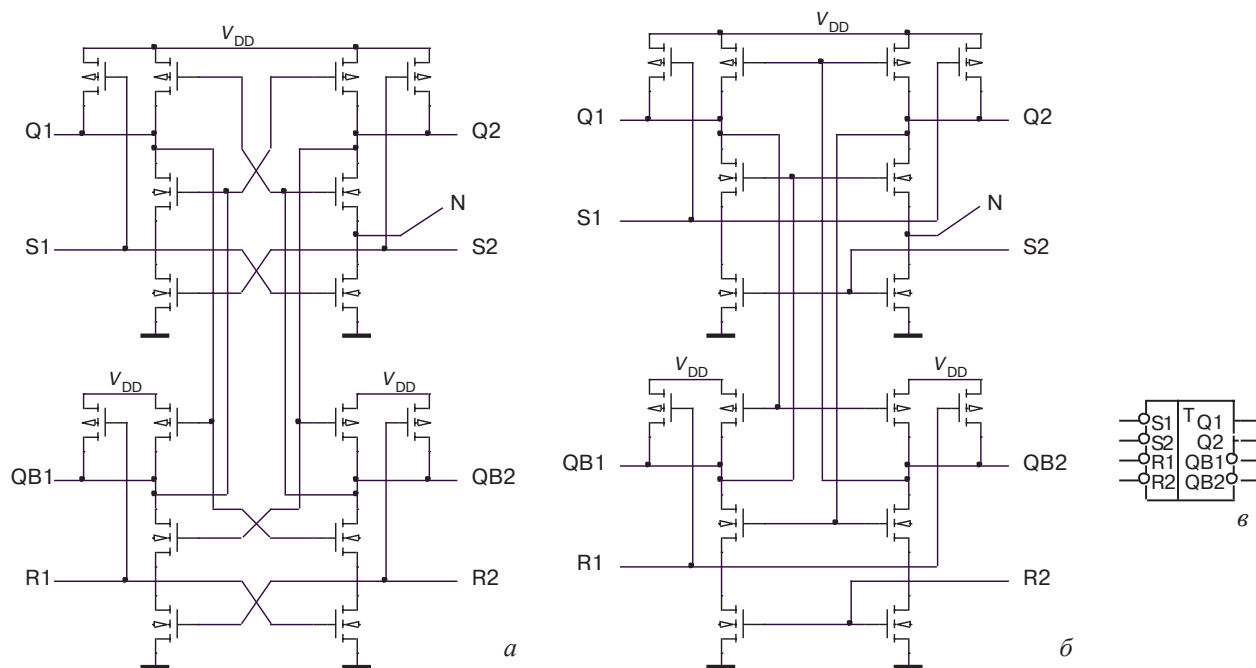


Рис. 2. Реализации бистабильных ячеек разными подходами: а — DICE; б — Quatro; в — символическое изображение БЯ2
Fig. 2. Implementations of bistable cells using different approaches: (a) DICE, (b) Quatro, (в) symbolic representation of BC2

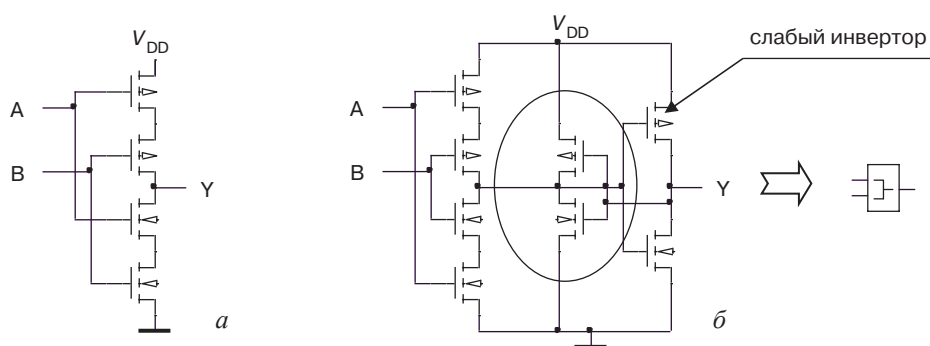


Рис. 3. Преобразование дублированного сигнала: а — в унарный; б — и его прототип — полустатический С-элемент Маллера

Fig. 3. Transformation of a duplicated signal: (a) into a unary one, (b) and its prototype — a semi-static of Muller C-elements

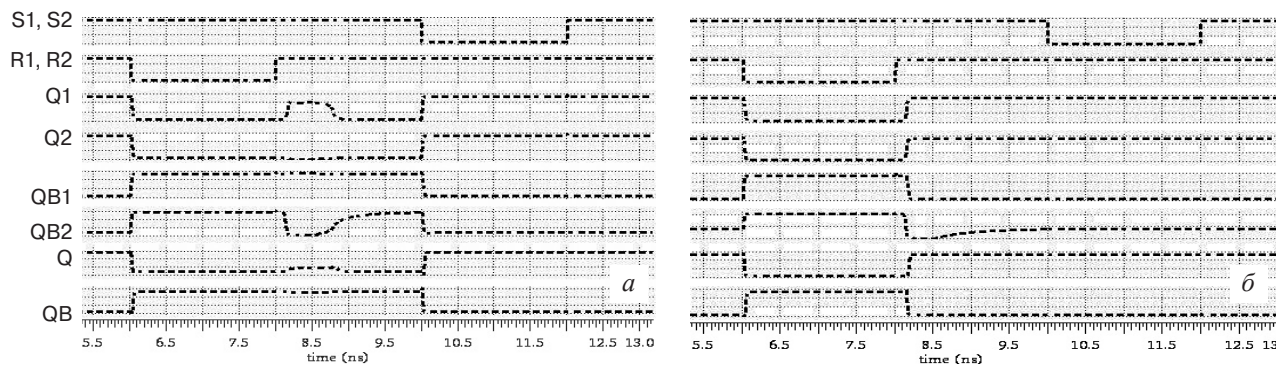


Рис. 4. Реакция БЯ2: а — DICE–; б — Quatro–типа на логический сбой в цепи QB2

Fig. 4. Response of BC2: (a) DICE–type, (б) Quatro–type to a logical failure in the QB2 circuit

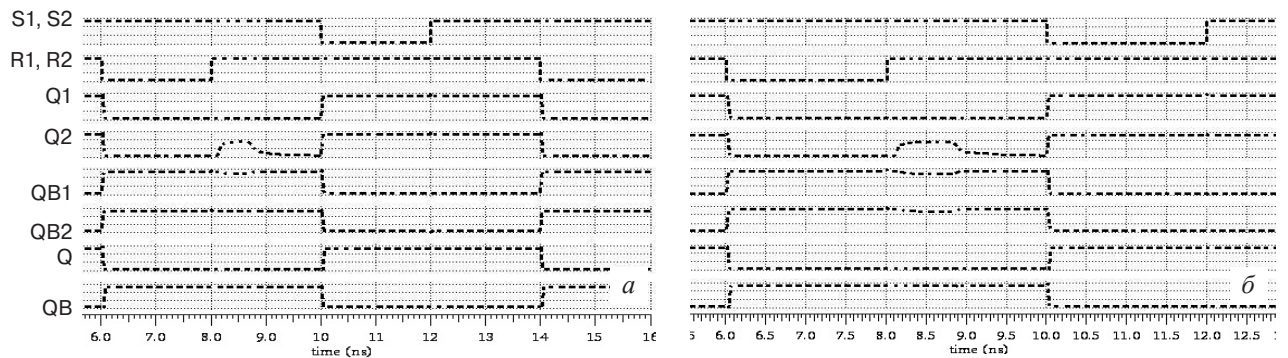


Рис. 5. Реакция БЯ2: а — DICE–; б — Quatro–типа на логический сбой в цепи N

Fig. 5. Response of BC2: (a) DICE–type, (б) Quatro–type to a logical failure in the N chain

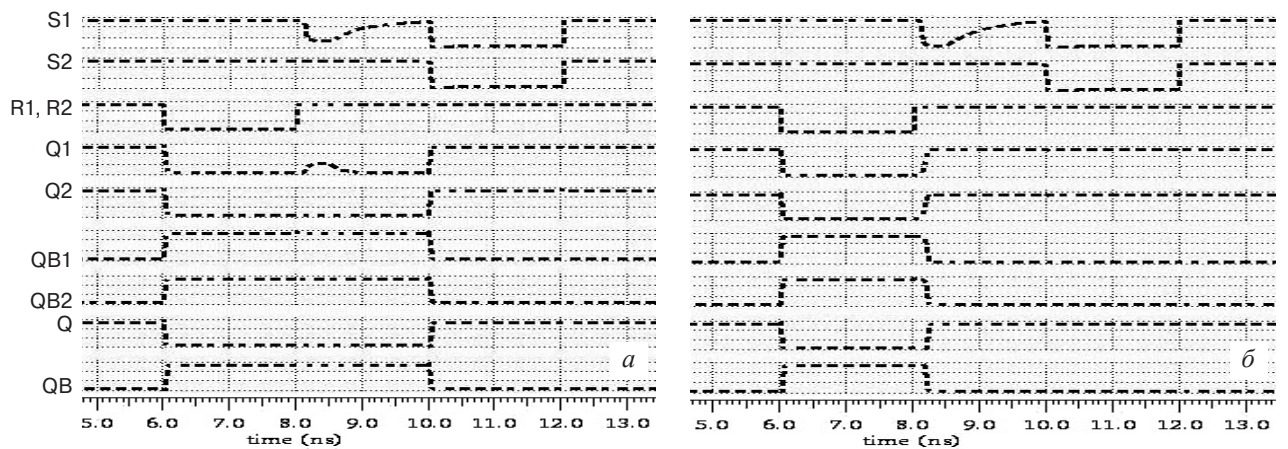


Рис. 6. Реакция БЯ2: а — DICE–; б — Quatro–типа на логический сбой на входе S1

Fig. 6. Response of BC2: (a) DICE–type, (б) Quatro–type to a logical failure at input S1

ичного СС–счетчика в дальнейшем предлагается использовать DICE–подход.

DICE–реализация самосинхронного счетчика

На рис. 7 представлены DICE–реализация разряда СС–счетчика и ее символическое изображение, а на рис. 8 — DICE–реализацию четырехразрядного СС–счетчика. Входы предустановки C1, C2, P1 и P2 также формируются схемой DICE–типа.

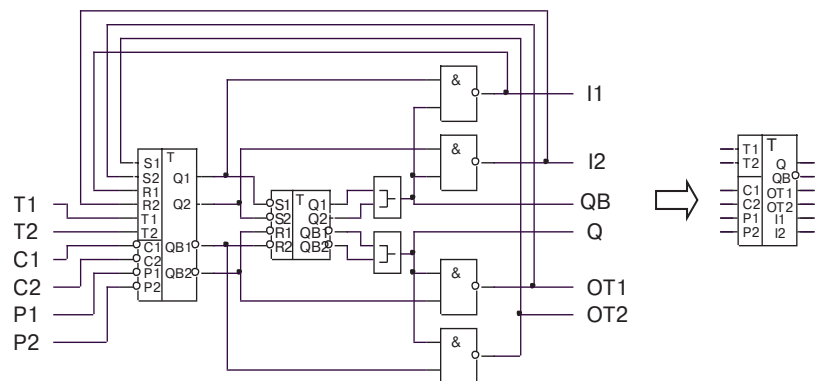


Рис. 7. DICE–подобная реализация разряда СС–счетчика

Fig. 7. DICE–like implementation of the ST counter bit

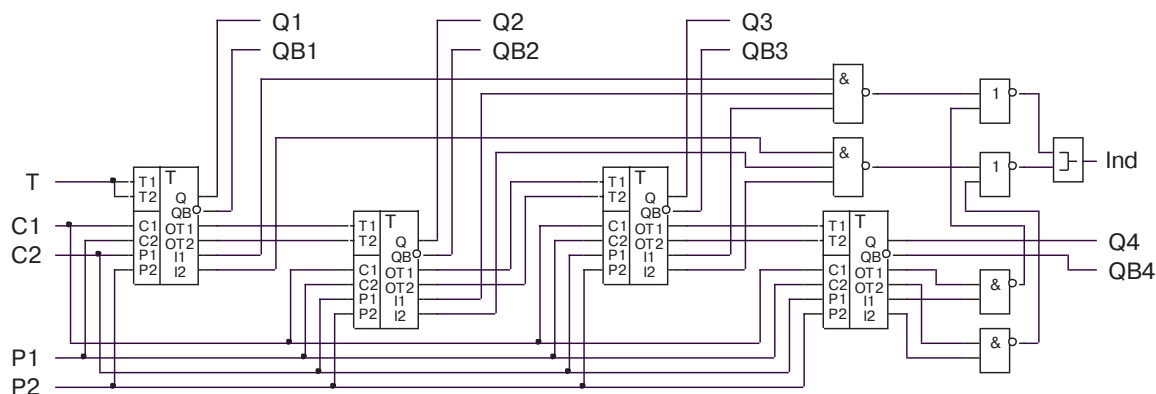


Рис. 8. DICE-подобная реализация четырехразрядного СС-счетчика

Fig. 8. DICE-like implementation of a four-bit ST counter

DICE-реализация n -разрядного СС-счетчика строится подобно четырехразрядному примеру на рис. 8. Такая реализация обеспечивает максимальную защиту от однократных логических сбоев, что подтверждается и моделированием.

Заключение

Электрическое моделирование бистабильных ячеек, служащих основой триггерных СС-схем, показывает, что DICE-подход к их реализации, в отличие от Quatro-подхода, гарантирует парирование

любое однократное сбой в выходных, входных или внутренних цепях.

Использование DICE-подхода для реализации двоичного СС-счетчика обеспечивает надежную защиту от однократного кратковременного сбоя за счет удваивания аппаратных затрат.

Интерфейс DICE-подобного СС-счетчика с окружением реализуется путем распараллеливания его входов и свертки его выходов с помощью конвертора дублированных сигналов в унарный сигнал на базе С-элемента Маллера.

Библиографический список / References

1. Викторова В.С., Лубков Н.В., Степанянц А.С. Анализ надежности отказоустойчивых управляющих вычислительных систем. М.: ИПУ РАН; 2016. 117 с.
Viktorova V.C., Lubkov N.V., Stepanyants A.S. Analysis of the reliability of fault-tolerant control computer systems. Moscow: IPU RAN; 2016, 117 p. (In Russ.)
2. Артемов А.Д., Данилин Ю.И., Курьшев А.В. и др. Функционирование БИС после протонного и нейтронного воздействий. *Вопросы атомной науки и техники. Сер. Физика радиационного воздействия на радиоэлектронную аппаратуру*. 2019; (4): 50—56.
Artemov A.D., Danilin Yu.I., Kuryshchev A.V. et al. Functioning of LSI after proton and neutron influences. *Voprosy atomnoi nauki i tekhniki. Ser. Fizika radiatsionnogo vozdeistviya na radioelektronnuyu apparaturu*. 2019; (4): 50—56. (In Russ.)
3. Шавеньков Н.К. Основы теории информации и кодирования. М.: Изд-во МИИГАиК; 2019. 126 с.
Shaven'kov N.K. Fundamentals of information theory and coding. Moscow: Izd-vo MIIGAik; 2019. 126 p. (In Russ.)
4. Song W., Zhang G. Fault-tolerant asynchronous circuits. In: *Asynchronous on-chip networks and fault-tolerant techniques*. CRC Press; 2022. 58 p. <https://doi.org/10.1201/9781003284789-5>
5. Зацаринный А.А., Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В., Плеханов Л.П. Отказоустойчивые самосинхронные схемы. В: *Материалы IV Междунар. конф. «Математическое моделирование в материаловедении электронных компонентов»*. МММЭК-2022. 24–26 октября 2022 г., Москва, Россия.

М.: МАКС Пресс; 2022. С. 176—178. <https://doi.org/10.29003/m3103.MMMSEC-2022/176-178>

Zatsarinnyy A.A., Stepchenkov Yu.A., D'yachenko Yu.G., Rozhdestvenskii Yu.V., Plekhanov L.P. Fault-tolerant self-timed circuits. In: *Materials of the IV Inter. conf. "Mathematical modeling in materials science of electronic components"*. MMEC-2022. October 24–26, 2022, Moscow, Russia. Moscow: MAKS Press; 2022. P. 176—178. (In Russ.). <https://doi.org/10.29003/m3103.MMMSEC-2022/176-178>

6. Stepchenkov Y.A., Kamenskih A.N., Diachenko Y.G., Rogdestvenski Y.V., Diachenko D.Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances in Science, Technology and Engineering Systems Journal*. 2020; 5(2): 44. <https://doi.org/10.25046/aj050206>

7. Зацаринный А.А., Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В. Сравнение сбоеустойчивых синхронных и самосинхронных схем. В: *Материалы III Междунар. конф. «Математическое моделирование в материаловедении электронных компонентов»*. МММЭК-2021. 25–27 октября 2021 г., Москва. М.: Макс Пресс; 2021. С. 154—156. <https://doi.org/10.29003/m2498.MMMSEC-2021/154-156>

Zatsarinnyy A.A., Stepchenkov Yu.A., D'yachenko Yu.G., Rozhdestvenskii Yu.V. Comparison of fault-tolerant synchronous and self-synchronous circuits. In: *Materials of the III Inter. conf. "Mathematical modeling in materials science of electronic components"*. MMEC-2021. October 25–27, 2021, Moscow. Moscow: MAKS Press; 2021. P. 154—156. (In Russ.). <https://doi.org/10.29003/m2498.MMMSEC-2021/154-156>

8. Варшавский В.И., Кишиневский М., Мараховский В.Б., Песчанский В.А., Розенблюм Л.Я., Таубин А.Р., Цирлин Б.С. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. М.: Наука; 1986. 400 с.

Varshavskii V.I., Kishinevskii M., Marakhovskii V.B., Peschanskii V.A., Rozenblyum L.Ya., Taubin A.R., Tsirlin B.S. Automatic control of asynchronous processes in computers and discrete systems. Moscow: Nauka; 1986. 400 p. (In Russ.)

9. Ольчев С.И., Стенин В.Я. Двухфазные КМОП логические элементы с повышенной сбоеустойчивостью к воздействию отдельных ядерных частиц. *Микроэлектроника*. 2011; 40(3): 170—183.

Ol'Chev S.I., Stenin V.Y. Cmos logic elements with increased failure resistance to single-event upsets. *Russian Microelectronics*. 2011; 40(3): 156—169.

10. Kumar S.S., Sundaram K., Padmanaban S., Holm-Nielsen J.B., Blaabjerg F. Flip-flop in 45 nm CMOS technology. *IET Circuit Devices and Systems*. 2021; 15(6): 571—580. <https://doi.org/10.1049/cds2.12052>

11. Danilov I.A., Gorbunov M.S., Shnaider A.I., Balbekov A.O., Rogatkin Y.B., Bobkov S.G. DICE-based Muller C-elements for soft error tolerant asynchronous ICs. In: *Proc. 16th European conf. on radiation and its effects on components and systems (RADECS)*. 19–23 September 2016. Bremen, Germany. IEEE; 2016. P. 1—4. <https://doi.org/10.1109/RADECS.2016.8093145>

12. Mavis D., Eaton P. SEU and SET modeling and mitigation in deep submicron technologies. In: *2007 IEEE Inter. reliability physics symposium proceedings. 45th Annual. 15–19 April 2007. Phoenix, AZ, USA*. IEEE; 2007. P. 293—305. <https://doi.org/10.1109/REL-PHY.2007.369907>

Информация об авторах / Information about the authors

Зацаринный Александр Алексеевич — доктор техн. наук, главный научный сотрудник, руководитель отделения, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация; <https://orcid.org/0000-0002-8872-2774>, e-mail: AZatsarinny@ipiran.ru

Alexander A. Zatsarinnyy — Dr. Sci. (Eng.), Chief Researcher, Deputy Director, Federal Research Centre “Information and Control” of the Russian Academy of Sciences, 44–2 Vavilov Str., Moscow 119333, Russian Federation; <https://orcid.org/0000-0002-8872-2774>, e-mail: AZatsarinny@ipiran.ru

Степченко Юрий Афанасьевич — канд. техн. наук, руководитель отдела, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация; <https://orcid.org/0000-0003-4784-7519>; e-mail: YStepchenkov@ipiran.ru

Yury A. Stepchenkov — Cand. Sci. (Eng.), Head of Department, Federal Research Centre “Information and Control” of the Russian Academy of Sciences, 44–2 Vavilov Str., Moscow 119333, Russian Federation; <https://orcid.org/0000-0003-4784-7519>; e-mail: YStepchenkov@ipiran.ru

Дьяченко Юрий Георгиевич — канд. техн. наук, старший научный сотрудник, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация; <https://orcid.org/0000-0003-0212-4931>; e-mail: diaura@mai.ru

Yury G. Diachenko — Cand. Sci. (Eng.), Senior Researcher, Federal Research Centre “Information and Control” of the Russian Academy of Sciences, 44–2 Vavilov Str., Moscow 119333, Russian Federation; <https://orcid.org/0000-0003-0212-4931>; e-mail: diaura@mai.ru

Хилько Дмитрий Владимирович — старший научный сотрудник, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация; e-mail: DKhilko@ipiran.ru

Dmitry V. Khilko — Senior Researcher, Federal Research Centre “Information and Control” of the Russian Academy of Sciences, 44–2 Vavilov Str., Moscow 119333, Russian Federation; e-mail: DKhilko@ipiran.ru

Орлов Георгий Александрович — младший научный сотрудник, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация; e-mail: orlov.jaja@gmail.com

Georgy A. Orlov — Junior Researcher, Federal Research Centre “Information and Control” of the Russian Academy of Sciences, 44–2 Vavilov Str., Moscow 119333, Russian Federation; e-mail: orlov.jaja@gmail.com

Дьяченко Денис Юрьевич — инженер-исследователь, Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ул. Вавилова, д. 44, корп. 2, Москва, 119333, Российская Федерация; e-mail: diaden87@gmail.com

Denis Yu. Diachenko — Research Engineer, Federal Research Centre “Information and Control” of the Russian Academy of Sciences, 44–2 Vavilov Str., Moscow 119333, Russian Federation; e-mail: diaden87@gmail.com

Поступила в редакцию 27.10.2023; поступила после доработки 15.04.2024; принята к публикации 23.05.2024

Received 27 October 2023; Revised 23 April 2024; Accepted 3 May 2024